

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-79506

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 L
21/336			21/265	J
21/265				L
21/8238			27/08	3 2 1 E
27/092			29/78	3 0 1 P
審査請求 未請求 請求項の数47 O L (全 30 頁) 最終頁に続く				

(21) 出願番号 特願平8-326507

(22) 出願日 平成8年(1996)12月6日

(31) 優先権主張番号 特願平8-20802

(32) 優先日 平8(1996)2月7日

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願平8-183004

(32) 優先日 平8(1996)7月12日

(33) 優先権主張国 日本(J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 瀬川 瑞樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 荒井 雅利

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 蔵 俊樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

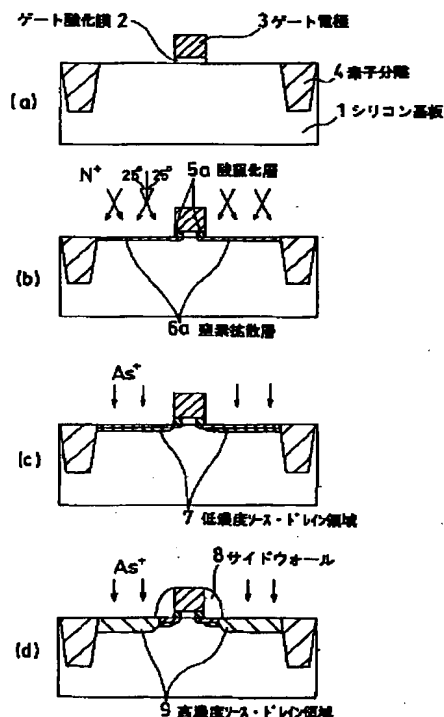
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高性能かつ高信頼性のMOS型電界効果トランジスタを搭載した半導体装置及びその製造方法を提供する。

【解決手段】 素子分離4を形成したシリコン基板1上にゲート酸化膜2及びゲート電極3を形成する。次に、4ステップの大傾角イオン注入法により、25°傾いた方向から窒素イオンを注入し、ゲート酸化膜2の両端部に窒素化層5aを形成し、シリコン基板1内に窒素拡散層6aを形成する。その後、不純物イオンの注入により低濃度ソース・ドレイン領域7を形成し、ゲート電極3の両側面上にサイドウォール8を形成した後、不純物イオンの注入により高濃度ソース・ドレイン領域9を形成する。



(2)

## 【特許請求の範囲】

【請求項 1】 半導体基板上に M I S 型電界効果トランジスタを搭載した半導体装置において、  
上記 M I S 型電界効果トランジスタは、  
上記半導体基板の一部に形成された活性領域と、  
上記活性領域の上に形成されたゲート酸化膜と、  
上記ゲート酸化膜の上に形成されたゲート電極と、  
上記活性領域のうち上記ゲート電極の両方に位置する領域に不純物を導入して形成されたソース領域及びドレイン領域と、  
上記ゲート酸化膜の両端部のうち少なくとも上記ドレイン領域側の端部に形成された酸化窒化層とを備えていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、  
上記酸化窒化層は、上記ゲート酸化膜の両端部に形成されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、  
上記ソース領域及びドレイン領域のうち少なくともドレイン領域の一部に形成された窒素拡散層をさらに備えていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、  
上記窒素拡散層は、上記ソース領域及びドレイン領域よりも浅く形成されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、  
半導体基板上に n M I S 型電界効果トランジスタ及び p M I S 型電界効果トランジスタを備えており、  
上記 M I S 型電界効果トランジスタは、上記 n M I S 型電界効果トランジスタであり、  
上記 p M I S 型電界効果トランジスタは、  
上記半導体基板の一部に形成された活性領域と、  
上記活性領域の上に形成されたゲート酸化膜と、  
上記ゲート酸化膜の上に形成されたゲート電極と、  
上記活性領域のうち上記ゲート電極の両側方に位置する領域に不純物を導入して形成されたソース領域及びドレイン領域とを備え、  
上記 p M I S 型電界効果トランジスタのゲート酸化膜には、酸化窒化層は形成されていないことを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、  
上記 n M I S 型電界効果トランジスタ及び p M I S 型電界効果トランジスタは、上記ソース領域及びドレイン領域内の少なくとも一部に形成された窒素拡散層をさらに備えていることを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、  
上記窒素拡散層は、上記ソース領域及びドレイン領域のいずれよりも浅く形成されていることを特徴とする半導体装置。

【請求項 8】 請求項 1, 2, 3, 4, 5, 6 又は 7 記載の半導体装置において、  
上記ゲート電極の上に、上記ゲート電極と同時にパター

2

ニングされたゲート上絶縁膜をさらに備えていることを特徴とする半導体装置。

【請求項 9】 半導体基板と、  
上記半導体基板に形成されキャリア生成用の第 1 導電型不純物を含む不純物拡散層と、  
上記不純物拡散層の少なくとも一部を含む領域に半導体原子との衝突に起因する欠陥が検知レベルを越えない状態で導入された窒素を含む窒素拡散層とを備えていることを特徴とする半導体装置。

10 【請求項 10】 請求項 9 記載の半導体装置において、  
上記不純物拡散層内における上記第 1 導電型不純物の濃度が、半導体基板内の表面付近の領域の最大濃度位置から上記半導体基板の奥方に向かって減少するとともに、その減少割合が上記最大濃度位置を通過したその下方の所定位置に達するまでは大きく、上記所定位置よりも奥方に向かう領域では減少割合が小さくなる分布を有すること特徴とする半導体装置。

【請求項 11】 請求項 9 又は 10 記載の半導体装置において、

20 上記不純物拡散層の上に形成されたシリサイド膜をさらに備え、  
上記不純物拡散層内における上記第 1 導電型不純物の最大濃度位置は、上記シリサイド膜との界面の直下方にあることを特徴とする半導体装置。

【請求項 12】 請求項 9 又は 10 記載の半導体装置において、

上記半導体装置は、半導体基板内の活性領域の上に形成されたゲート絶縁膜と、該ゲート絶縁膜の上に形成されたゲート電極と、上記活性領域のうち上記ゲート電極の両側方に位置する領域内に形成され第 1 導電型不純物を含むソース領域及びドレイン領域と、上記活性領域のうち上記ソース領域及びドレイン領域との間に形成され第 2 導電型不純物を含むチャネル領域とを有する M I S 型電界効果トランジスタであり、  
上記窒素拡散層は、上記ソース領域及びドレイン領域各々の少なくとも一部を含む領域に形成されていることを特徴とする半導体装置。

【請求項 13】 請求項 12 記載の半導体装置において、

40 上記ゲート電極の両側面上に形成された絶縁性材料からなるサイドウォールと、  
上記ソース領域及びドレイン領域と上記ゲート電極の直下方領域との間にそれぞれ形成され上記ソース領域及びドレイン領域よりも低濃度の第 1 導電型不純物を含むエクステンション領域とをさらに備え、  
上記窒素拡散層は、上記エクステンション領域にも亘って形成されていることを特徴とする半導体装置。

【請求項 14】 請求項 12 又は 13 記載の半導体装置において、

50 上記窒素拡散層は、上記チャネル領域にも亘っているこ

(3)

3

とを特徴とする半導体装置。

【請求項15】 請求項12記載の半導体装置において、  
上記ソース領域及びドレイン領域のうち上記キャリア生成用不純物の濃度が所定値以上の領域が、上記チャンネル領域に隣接する部分において、上記窒素がない場合に対して上記半導体基板内の表面付近の領域では上記チャンネル領域側に入り込む一方その奥方ではチャンネル領域側から遠ざかるように構成されていることを特徴とする半導体装置。

【請求項16】 請求項12、13、14又は15記載の半導体装置において、  
上記ソース領域及び上記ドレイン領域の上に形成された少なくとも金属を含む導体膜をさらに備え、  
上記ソース領域及びドレイン領域のうち上記窒素拡散層が形成された領域における上記キャリア生成用不純物の最大濃度位置は、上記導体膜との界面付近にあることを特徴とする半導体装置。

【請求項17】 請求項9記載の半導体装置において、  
上記半導体装置は、上記半導体基板内の活性領域の一部に形成され第2導電型不純物を含むエミッタ領域と、上記活性領域内で上記エミッタ領域を囲むように形成され第1導電型不純物を含むベース領域と、上記活性領域内で上記ベース領域の下方を含む領域に形成され第2導電型不純物を含むコレクタ領域とを有するバイポーラトランジスタであって、  
上記窒素拡散層は、上記エミッタ領域の少なくとも一部を含む領域に形成されていることを特徴とする半導体装置。

【請求項18】 請求項9記載の半導体装置において、  
上記半導体装置は、上記半導体基板内の活性領域の一部に形成され第2導電型不純物を含むエミッタ領域と、上記活性領域内で上記エミッタ領域を囲むように形成され第1導電型不純物を含むベース領域と、上記活性領域内で上記ベース領域の下方を含む領域に形成され第2導電型不純物を含むコレクタ領域とを有するバイポーラトランジスタであって、  
上記窒素拡散層は、上記ベース領域の少なくとも一部を含む領域に形成されていることを特徴とする半導体装置。

【請求項19】 MIS型電界効果トランジスタを搭載した半導体装置の製造方法において、  
半導体基板上に活性領域を囲む素子分離を形成する第1の工程と、  
上記活性領域の上に酸化膜及び導体膜を堆積する第2の工程と、  
上記酸化膜及び導体膜をパターニングして、上記MIS型電界効果トランジスタのゲート酸化膜及びゲート電極をそれぞれ形成する第3の工程と、  
上記ゲート酸化膜の両端部のうち少なくともドレイン領

4

域側の端部に窒素を導入して酸化窒化層を形成する第4の工程と、

上記活性領域のうち上記ゲート電極の両側方に位置する領域に第1導電型不純物を導入して上記MIS型電界効果トランジスタのソース領域及びドレイン領域を形成する第5の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項20】 請求項19記載の半導体装置の製造方法において、

10 上記第4の工程は、上記第3の工程の後上記第5の工程の前に行ない、かつ基板上方の少なくともドレイン領域側に傾いた方向を含む方向から窒素イオンを注入することにより上記酸化窒化層を形成することを特徴とする半導体装置の製造方法。

【請求項21】 請求項19記載の半導体装置の製造方法において、

上記第4の工程では、上記ドレイン側に傾いた方向と上記ソース領域側に傾いた方向とを含む少なくとも2以上の方向から不純物イオンを注入することを特徴とする半導体装置の製造方法。

【請求項22】 請求項20又は21記載の半導体装置の製造方法において、  
上記第4の工程では、上記トランジスタのチャンネル方向に平行な断面内で上記半導体基板の表面に垂直な方向に対して10°以上傾いた方向から不純物イオンを注入することを特徴とする半導体装置の製造方法。

【請求項23】 請求項19記載の半導体装置の製造方法において、

30 上記第4の工程は、少なくとも窒素を含むガス雰囲気中で上記半導体基板を加熱処理することにより行われることを特徴とする半導体装置の製造方法。

【請求項24】 請求項23記載の半導体装置の製造方法において、

上記第4の工程は、アンモニアガス雰囲気中で行われることを特徴とする半導体装置の製造方法。

【請求項25】 請求項19記載の半導体装置の製造方法において、

40 上記第4の工程は、窒素を含むガス雰囲気中でプラズマを発生させることにより行われることを特徴とする半導体装置の製造方法。

【請求項26】 請求項19、20、21、22、23、24又は25記載の半導体装置の製造方法において、

上記第4の工程は、上記ソース領域及びドレイン領域にも窒素を導入するように行われることを特徴とする半導体装置の製造方法。

【請求項27】 請求項19、20、21、22、23、24又は25記載の半導体装置の製造方法において、

50 上記第4の工程の前に、上記ゲート電極をマスクとして

(4)

5

半導体基板内に低濃度の第1導電型不純物を導入して低濃度ソース・ドレイン領域を形成する工程と、  
上記第4の工程の後上記第5の工程の前に、上記ゲート電極の両側面上に絶縁体サイドウォールを形成する工程とをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項28】 請求項19、20、21、22、23、24又は25記載の半導体装置の製造方法において、

上記第5の工程の後に、上記ソース領域及びドレイン領域の上に少なくとも金属を含む低抵抗膜を形成する工程とをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項29】 請求項19、20、21、22、23、24、25、26、27又は28記載の半導体装置の製造方法において、

上記第2の工程では、上記導体膜の上に絶縁膜をさらに堆積し、

上記第3の工程では、上記導体膜及び酸化膜と同時に上記絶縁膜をパターンニングして、上記ゲート電極の上にゲート上絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項30】 請求項19記載の半導体装置の製造方法において、

上記第1の工程では、nMIS型電界効果トランジスタを形成するための第1の活性領域と上記pMIS型電界効果トランジスタを形成するための第2の活性領域とを個別に囲む素子分離を形成し、

上記第2の工程では、上記第1及び第2の活性領域の上に酸化膜及び導体膜を堆積し、

上記第3の工程では、上記酸化膜及び導体膜をパターンニングして、上記第1及び第2の活性領域の上に、nMIS型、pMIS型電界効果トランジスタのゲート酸化膜及びゲート電極をそれぞれ形成し、

上記第4の工程では、上記nMIS型電界効果トランジスタのゲート酸化膜の両端部のうち少なくともドレイン領域側の端部に窒素を導入して酸化窒化層を形成し、

上記第5の工程では、上記第1及び第2活性領域のうち上記ゲート電極の両側方に位置する領域に第1、第2導電型不純物をそれぞれ導入して、上記nMIS型及びpMIS型電界効果トランジスタのソース領域及びドレイン領域を形成することを特徴とする半導体装置の製造方法。

【請求項31】 請求項30記載の半導体装置の製造方法において、

上記第3の工程の後上記第5の工程の前に、上記第2の活性領域を覆う第1のマスク部材を形成する工程をさらに備えており、

上記第4の工程では、上記第1のマスク部材を形成した状態で、上記第1の活性領域上の上方かつ少なくともド

6

レイン領域側に傾いた方向を含む方向から窒素イオンを注入することにより上記酸化窒化層を形成することを特徴とする半導体装置の製造方法。

【請求項32】 請求項30又は31記載の半導体装置の製造方法において、

上記第3の工程の後上記第5の工程の前に、上記第1の活性領域を覆う第2のマスク部材を形成する工程と、  
上記第2のマスク部材を形成した状態で、上記半導体基板の表面に対してほぼ垂直な方向から上記第2の活性領域内に窒素イオンを注入する工程とをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項33】 請求項30、31又は32記載の半導体装置の製造方法において、

上記第2の工程では、上記導体膜の上に絶縁膜をさらに堆積し、

上記第3の工程では、上記導体膜及び酸化膜と同時に上記絶縁膜をパターンニングして、上記第1及び第2の活性領域内の上記ゲート電極の上にゲート上絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項34】 半導体基板の半導体領域内にキャリア生成用不純物を導入して第1の不純物拡散層を形成する、第1の工程と、

上記半導体基板の半導体領域内に半導体原子との衝突に起因する検知レベル以上の欠陥を生ぜしめないように窒素を導入して窒素拡散層を形成する第2の工程と、

上記半導体基板を加熱して、上記キャリア生成用不純物を活性化させる第3の工程とを備え、

上記第1の工程及び第2の工程は、両工程のうちいずれか一方を先に、かつ上記第1の不純物拡散層と上記窒素拡散層とが少なくともオーバーラップするように行うことを特徴とする半導体装置の製造方法。

【請求項35】 請求項34記載の半導体装置の製造方法において、

上記第1の工程は、少なくとも窒素を含むガス雰囲気中で上記半導体基板を加熱処理することにより行われることを特徴とする半導体装置の製造方法。

【請求項36】 請求項35記載の半導体装置の製造方法において、

上記第3の工程は、アンモニアガス雰囲気中で行われることを特徴とする半導体装置の製造方法。

【請求項37】 請求項36記載の半導体装置の製造方法において、

上記第3の工程は、温度が900°以上、時間が10秒以下の条件下で行われることを特徴とする半導体装置の製造方法。

【請求項38】 請求項34記載の半導体装置の製造方法において、

上記第1の工程は、少なくとも窒素を含むガス雰囲気中でプラズマを発生させることにより行われること特徴とする半導体装置の製造方法。

(5)

7

【請求項39】 請求項34記載の半導体装置の製造方法において、

上記第3の工程の後に、上記ソース領域及びドレイン領域の上にシリサイド膜を形成する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項40】 請求項34、35、36、37又は38記載の半導体装置の製造方法において、  
上記半導体基板内には、MIS型電界効果トランジスタ形成領域が設けられており、

上記MIS型電界効果トランジスタ形成領域の上にゲート絶縁膜及びゲート電極を形成する工程をさらに備え、  
上記第1の工程では、上記ゲート絶縁膜及びゲート電極を形成した後に、上記MIS型電界効果トランジスタ形成領域のうち上記ゲート電極の両側方に位置する領域に上記キャリア生成用不純物を導入して上記MIS型電界効果トランジスタのソース領域及びドレイン領域を形成することを特徴とする半導体装置の製造方法。

【請求項41】 請求項40記載の半導体装置の製造方法において、

上記ゲート絶縁膜及びゲート電極を形成する工程では、酸化膜からなるゲート絶縁膜を形成し、

上記第2の工程は、上記ゲート絶縁膜及びゲート電極を形成する工程の後に、かつ、上記第2の工程では上記ゲート絶縁膜の両端部にも窒素を導入して酸化窒素層を形成することを特徴とする半導体装置の製造方法。

【請求項42】 請求項40記載の半導体装置の製造方法において、

上記ゲート絶縁膜及びゲート電極を形成する工程の後かつ上記第1の工程の前に、

上記MIS型電界効果トランジスタ形成領域内に上記ソース領域及びドレイン領域に導入した上記キャリア生成用不純物よりも低濃度かつ同じ導電型の第2のキャリア生成用不純物を導入してエクステンション領域を形成する工程と、

上記ゲート電極の両側面上に絶縁体サイドウォールを形成する工程とをさらに備え、

上記第1の工程では、上記MIS型電界効果トランジスタ形成領域のうち上記ゲート電極及びサイドウォールの両側方に位置する領域内に上記キャリア生成用不純物を導入し、

上記第2の工程では、上記エクステンション領域の少なくとも一部を含むように上記窒素拡散層を形成することを特徴とする半導体装置の製造方法。

【請求項43】 請求項42記載の半導体装置の製造方法において、

上記ゲート絶縁膜及びゲート電極を形成する工程の後かつ上記第1の工程の前に、上記MIS型電界効果トランジスタ形成領域内に上記ソース領域及びドレイン領域に導入した上記キャリア生成用不純物よりも低濃度かつ逆導電型の第3のキャリア生成用不純物を導入してポケッ

8

ト領域を形成する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項44】 請求項40、42又は43記載の半導体装置の製造方法において、

上記第2の工程は、上記ゲート絶縁膜及びゲート電極を形成する工程及び上記第1の工程の前に行い、上記MIS型電界効果トランジスタ形成領域の横方向全体に亘って窒素拡散層を形成することを特徴とする半導体装置の製造方法。

10 【請求項45】 請求項40、41、42、43又は44記載の半導体装置の製造方法において、

上記第3の工程の後に、上記ソース領域、ドレイン領域及びゲート電極の上にシリサイド膜を形成する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項46】 請求項34、35、36、37又は38記載の半導体装置の製造方法において、

上記半導体基板内には、バイポーラトランジスタ形成領域が設けられており、

20 上記バイポーラトランジスタ形成領域に第1導電型不純物を導入してバイポーラトランジスタのコレクタ領域を形成する工程と、

上記コレクタ領域内に第2導電型不純物を導入してバイポーラトランジスタのベース領域を形成する工程とをさらに備え、

上記第1の工程では、上記ベース領域内に第1導電型不純物を導入して上記バイポーラトランジスタのエミッタ領域を形成し、

30 上記第2の工程では、上記エミッタ領域の少なくとも一部を含む領域に窒素を導入することを特徴とする半導体装置の製造方法。

【請求項47】 請求項34、35、36、37又は38記載の半導体装置の製造方法において、

上記半導体基板内には、バイポーラトランジスタ形成領域が設けられており、

上記バイポーラトランジスタ形成領域に第1導電型不純物を導入してバイポーラトランジスタのコレクタ領域を形成する工程と、

40 上記第1の工程の後に、上記コレクタ領域内に第1導電型不純物を導入して上記バイポーラトランジスタのエミッタ領域を形成する工程とをさらに備え、

上記第1の工程では、上記コレクタ領域内かつ上記エミッタ領域を取り囲む領域に第2導電型純物を導入してバイポーラトランジスタのベース領域を形成し、

上記第2の工程では、上記ベース領域の少なくとも一部を含む領域に窒素を導入することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】本発明は、MIS型電界効果

(6)

9

トランジスタやバイポーラトランジスタを搭載した半導体装置及びその製造方法に係り、特に不純物拡散層やゲート絶縁膜の構造の改善による半導体装置の性能、信頼性の向上対策に関する。

#### 【0002】

【従来の技術】従来より、半導体基板上にゲート酸化膜を介してゲート電極を設け、ゲート電極の両側に不純物拡散領域（ソース・ドレイン領域）を設けてなるMIS型電界効果トランジスタにおいて、ゲート酸化膜の役割は極めて重要である。特に、最近のように素子の微細化、駆動電圧の低電圧化、動作の高速化が要求される半導体装置において、高い信頼性を維持しながらこれらの要求に応えるためには、ゲート酸化膜の厚み等の物理的寸法だけでなく、ゲート酸化膜の構造に関しても多様かつ高度の工夫が必要である。

【0003】このようなゲート酸化膜の構造を改質する技術の1つに、CMOSデバイス中の特にnMOS型トランジスタのホットキャリアによるゲート酸化膜の機能の劣化（しきい値電圧の変動）を抑制し、信頼性の向上を実現すべく、ゲート酸化膜中に酸窒化層を形成する技術がある。例えば1993、IEEE、IEDM93ダイジェストP325～328に示される方法では、ゲート電極の形成後、窒素イオンをゲート電極及び半導体基板内に注入し、この窒素をゲート電極内で後の熱処理により拡散させてゲート酸化膜中に酸窒化層を形成させるようにしている。以下、この方法を利用して酸窒化層を形成する工程について、図面を参照しながら具体的に説明する。

【0004】まず、図22（a）に示す工程では、シリコン基板1の一部に素子分離4を形成し、素子分離4で囲まれる活性領域内のシリコン基板1上に酸化膜を形成しさらにポリシリコン膜を堆積した後、フォトリソグラフィ及びドライエッチング工程により酸化膜及びポリシリコン膜をパターンニングして、ゲート酸化膜2及びゲート電極3を形成する。

【0005】次に、図22（b）に示す工程では、基板の上方からゲート電極3及び活性領域内のシリコン基板1の中に窒素イオン（N<sup>+</sup>）を注入した後、熱処理により窒素イオンを拡散させて、ゲート酸化膜2中に酸窒化層5を形成すると同時に、シリコン基板1内の表面付近の領域に窒素拡散層6を形成する。

【0006】次に、図22（c）に示す工程では、ほぼ垂直方向から低濃度の砒素イオン（As<sup>+</sup>）の注入を行い、シリコン基板1内の表面付近の領域にn型低濃度ソース・ドレイン領域7を形成する。

【0007】次に、図22（d）に示す工程では、基板上に厚めのシリコン酸化膜を堆積した後エッチバックを行なって、ゲート電極3の両側面上にサイドウォール8を形成した後、さらにほぼ垂直方向から高濃度の砒素イオン（As<sup>+</sup>）の注入を行なって、上記n型低濃度ソ-

10

ス・ドレイン領域7の外方にn型高濃度ソース・ドレイン領域9を形成する。

【0008】ただし、CMOSデバイス全体の構造として、nMOS型電界効果トランジスタのゲート電極中にはn型不純物（砒素）がドーピングされており、pMOS型電界効果トランジスタのゲート電極中にはp型不純物（ボロン）がドーピングされていて、いわゆるデュアルゲート型の構造を採っている。

【0009】この状態で、シリコン基板1上には、微細化、低電圧化、高速動作化に適したいわゆるLDD構造を有するnMOS型電界効果トランジスタを形成する。そして、トランジスタのゲート酸化膜2内に酸窒化層5を形成することで、ホットキャリア劣化を抑制するようにしている。同文献には、窒素イオンの注入量が多いほどホットキャリア劣化を抑制できることが示されており、特にホットエレクトロンによる特性の劣化（しきい値の上昇など）が問題となるnMOS型電界効果トランジスタにおいて、その効果が大きい。

【0010】なお、pMOS型電界効果トランジスタ側においては、ボロンが基板内の表面チャネル領域まで突き抜けてトランジスタの特性に悪影響を与えるのを、ゲート酸化膜中の酸窒化層により防止する効果が得られる。

#### 【0011】

【発明が解決しようとする課題】しかしながら、従来の方法のごとく、図22（d）に示すような酸窒化層5を形成すると、かえってトランジスタの駆動力が低下するなどトランジスタの性能が劣化するという現象が観察された。その原因は、酸窒化層5によるゲート電極3内の砒素やボロン等の不純物の拡散抑制作用が過大となってデュアルゲート構造の利点を発揮できなくなったり、ゲート電極の空乏化による抵抗の増大を招くことなどにあると推測される。また、pMOS型電界効果トランジスタのゲート酸化膜中に酸窒化層を形成すると、その原因は不明であるが、トランジスタの相互コンダクタンスが減少することも報告されている。

【0012】一方、上記問題とは別の問題として、トランジスタの拡散層の特性上、以下のような問題がある。

【0013】MOSデバイスの高速度化、高集積化に必須となっているゲート及びソースドレイン拡散層の低抵抗化の代表的技術であるサリサイド（Self-align-silicidation）プロセスでは、シリサイドを形成する際、拡散層であるシリコンを消費することを考慮して、安定で低抵抗なシリサイド膜を厚く形成しようとするとき浅い接合形成が困難となる。またシリサイド界面の不純物濃度も低下して寄生抵抗が高くなるためドレイン電流が低下する。

【0014】上記の問題は、特に表面チャネル型p-MOSFETにおいてBF<sub>3</sub>（ボロンフッライド-boron fluoride）イオンを注入してp型拡散層

(7)

11

を形成する場合に顕著となってくるわけであるが、その場合には、さらには、以下のような新たな課題が生じてくる。図23は、シリコン基板中に、BF<sub>2</sub> イオンを加速エネルギー30keV、ドーズ量 $2 \times 10^{15} \text{cm}^{-2}$ の条件で注入したものと、B（ボロン-boron）イオンを加速エネルギー10keV、ドーズ量 $2 \times 10^{15} \text{cm}^{-2}$ の条件で注入したものの各々を、1000℃、10秒間の条件で活性化熱処理した後のボロンSIMSプロファイルを示したものである。

【0015】まず、BF<sub>2</sub> 注入の場合、弗素とボロンが結合したものであるために乖離を起こし、不純物の濃度のピークが2つ存在する（図23参照）。特に濃度が高いピークが基板表面側に存在しているが、このボロンは後にシリサイド化される領域に存在するために、最終的な拡散層の形成には寄与せず、結果としてシリサイドと拡散層との界面の濃度も本来拡散層が有していたはずの濃度のピークから低下した濃度となり、この部分のコンタクト抵抗が増大してしまう。さらに、表面チャネル型トランジスタの場合、拡散層へ不純物を導入する際、同時にゲート電極内にも不純物が導入されるため、ゲート電極からゲート絶縁膜を介して基板側へ不純物が抜けてしまう染みだし（penetration）現象も注意を払わなければならない。

【0016】次に、図24は、BF<sub>2</sub> 注入（30keV、 $2 \times 10^{15} \text{cm}^{-2}$ ）とB注入（10keV、 $2 \times 10^{15} \text{cm}^{-2}$ ）のQuasi-static C-V特性を示す。通常、染みだしの起こっていないものの波形のフラットバンド電圧は0.86Vであるが、BF<sub>2</sub> 注入の場合少々シフトして0.88Vとなっており、若干染みだしが生じていることがわかる。

【0017】図25は、フラットバンド電圧のボロン及びBF<sub>2</sub> の注入ドーズ量依存性を示す図である。BF<sub>2</sub> 注入の場合、加速エネルギーやドーズ量の増加に伴ってフラットバンド電圧のシフトも大きくなり、染みだしが顕著になってくる。これらのことから、BF<sub>2</sub> 注入の場合、シリサイド形成後のシリサイドと拡散層との界面における不純物濃度を高くするために、不純物注入の際の加速エネルギーやドーズ量を大きくする手段をとることは、ゲート電極から基板への不純物の染みだしを助長することにつながるため、性能の良いトランジスタを形成することは困難となってきた。

【0018】上述の問題点に関する説明はBF<sub>2</sub> 注入の場合について行ったが、一方で、B注入の場合は、ゲート電極から基板へのボロンの染みだしに対してはBF<sub>2</sub> 注入の場合よりも不具合が緩和されるが（図24及び図25参照）、図13に示されるように、ソース・ドレイン領域と基板領域との間のpn接合部が深い部位に形成されるために微細なデバイスへの適用は困難である。

【0019】本発明の第1の目的は、ゲート酸化膜中における酸窒化層の構造を改善することにより、高性能で

12

かつ信頼性の高い半導体装置及びその製造方法の提供を図ることにある。

【0020】また、本発明の第2の目的は、浅い接合形成を必要とする半導体素子に関して、特性劣化やコストを増加させることなく拡散を抑制して浅接合を形成して、高性能の微細デバイスを実現することにより、特に、拡散層をシリサイド化するシリサイドプロセスと表面チャネル型のp-MOSFETを有するデュアルゲートをとともに実現するに当り、ボロンの染みだしを抑えながら、且つ低抵抗のシリサイド膜を形成し、浅い接合を形成することにある。

【0021】

【課題を解決するための手段】上記第1の目的を達成するために本発明が講じた手段は、ゲート酸化膜の少なくともドレイン側端部に酸窒化層を設けることにより、ホットキャリア劣化の抑制と、ゲートの空乏化等による性能の低下とを防止することにある。具体的には、請求項1～8に記載されている第1の半導体装置に関する手段と、請求項18～32に記載されている第1の半導体装置の製造方法に関する手段とを講じている。

【0022】上記第2の目的を達成するために本発明が講じた手段は、不純物拡散層に窒素と半導体原子との衝突に起因する検知レベル以上の欠陥を生ぜしめない状態で窒素を導入することにより、欠陥による特性の劣化を防止しながら不純物拡散層の濃度プロファイルを改善することにある。具体的には、請求項9～18に記載されている第2の半導体装置に関する手段と、請求項34～47に記載されている第2の半導体装置の製造方法に関する手段とを講じている。

【0023】本発明の第1の半導体装置は、請求項1に記載されているように、半導体基板上にMIS型電界効果トランジスタを搭載した半導体装置において、上記MIS型電界効果トランジスタは、上記半導体基板の一部に形成された活性領域と、上記活性領域の上に形成されたゲート酸化膜と、上記ゲート酸化膜の上に形成されたゲート電極と、上記活性領域のうち上記ゲート電極の両側方に位置する領域に不純物を導入して形成されたソース領域及びドレイン領域と、上記ゲート酸化膜の両端部のうち少なくとも上記ドレイン領域側の端部に形成された酸窒化層とを備えている。

【0024】これにより、酸窒化層がゲート酸化膜の端部にのみ形成されているので、ゲート電極中の不純物の下方への拡散が妨げられることやゲート電極の空乏化などに起因するトランジスタの性能の劣化が防止される。一方、ホットキャリア劣化はホットキャリアがドレイン側のゲート絶縁膜に捕獲されることが原因になるが、このように、劣化の原因となるドレイン側のゲート酸化膜に効果的に酸窒化層が形成されているので、ホットキャリア信頼性を向上することができる。

【0025】請求項2に記載されているように、請求項

(8)

13

1において、上記酸化窒素層を上記ゲート酸化膜の両端部に形成することが好ましい。

【0026】これにより、ホットキャリア劣化の抑制機能がより確実に得られる。

【0027】請求項3に記載されているように、請求項1において、上記ソース領域及びドレイン領域のうち少なくともドレイン領域の一部に形成された窒素拡散層をさらに備えることができる。

【0028】これにより、半導体基板内に形成される窒素拡散層によってイオン注入時のチャネリングが防止されるので、ソース領域及びドレイン領域を安定して形成しうる構造となり、トランジスタの特性が安定する。

【0029】請求項4に記載されているように、請求項2において、上記窒素拡散層を上記ソース領域及びドレイン領域よりも浅く形成することができる。

【0030】これにより、半導体基板内の特に表面付近の領域における不純物濃度が高くなるので、シート抵抗を低減することができる。

【0031】請求項5に記載されているように、請求項1において、半導体基板上にnMIS型電界効果トランジスタ及びpMIS型電界効果トランジスタを備え、上記MIS型電界効果トランジスタを上記nMIS型電界効果トランジスタとし、上記pMIS型電界効果トランジスタが、上記半導体基板の一部に形成された活性領域と、上記活性領域の上に形成されたゲート酸化膜と、上記ゲート酸化膜の上に形成されたゲート電極と、上記活性領域のうち上記ゲート電極の両側方に位置する領域に不純物を導入して形成されたソース領域及びドレイン領域とを備え、上記pMIS型電界効果トランジスタのゲート酸化膜には、酸化窒素層は形成されていないものとする

ことができる。

【0032】これにより、nMIS型電界効果トランジスタにおいて、上述の請求項1の作用と同じ作用が奏される。一方、pMIS型電界効果トランジスタにおいては、ゲート酸化膜に酸化窒素層が形成されていないので、相互コンダクタンスの低下を回避することができる。

【0033】請求項6に記載されているように、請求項5において、上記nMIS型電界効果トランジスタは、上記ソース領域及びドレイン領域内の少なくとも一部に形成された窒素拡散層をさらに備えることができる。

【0034】これにより、それぞれ請求項2、3と同じ作用が奏される。

【0035】請求項7に記載されているように、請求項6において、上記窒素拡散層を、上記ソース領域及びドレイン領域のいずれよりも浅く形成することができる。

【0036】これにより、請求項4と同じ作用が奏される。

【0037】請求項8に記載されているように、請求項1、2、3、4、5、6又は7において、上記ゲート電極の上に、上記ゲート電極と同時にパターンニングされた

14

ゲート上絶縁膜をさらに備えることができる。

【0038】これにより、不純物のイオン注入や熱拡散、プラズマ窒化等によりゲート酸化膜の端部に窒素を導入して酸化窒素層を形成する際に、ゲート電極の上が絶縁膜によって保護された構造となっているので、ゲート電極の空乏化等に起因するトランジスタの性能の劣化を確実に防止することが可能となる。

【0039】本発明の第2の半導体装置は、請求項9に記載されているように、半導体基板と、上記半導体基板に形成されキャリア生成用の第1導電型不純物を含む不純物拡散層と、上記不純物拡散層の少なくとも一部を含む領域に半導体原子との衝突に起因する欠陥が検知レベルを越えない状態で導入された窒素を含む窒素拡散層とを備えている。

【0040】これにより、不純物拡散層内の第1導電型不純物の拡散が窒素の存在によって抑制されるので、不純物拡散層内のうち第1導電型不純物の濃度が高い領域は半導体基板の表面付近の領域に集中することになる。したがって、不純物拡散層のシート抵抗が極めて小さくなり、このような小さなシート抵抗を有する不純物拡散層を利用して、特性の優れた各種の半導体装置を得ることができる。しかも、不純物拡散層内における欠陥が極めて少ないので、半導体装置の特性に与える悪影響も回避される。

【0041】請求項10に記載されているように、請求項9において、上記不純物拡散層内における上記第1導電型不純物の濃度が、半導体基板内の表面付近の領域の最大濃度位置から上記半導体基板の奥方に向かって減少するとともに、その減少割合が上記最大濃度位置を通過したその下方の所定位置に達するまでは大きく、上記所定位置よりも奥方に向かう領域では減少割合が小さくなる分布を有しているように構成することが好ましい。

【0042】これにより、不純物拡散層内のうち第1導電型不純物の濃度プロファイルが理想的となり、請求項1の作用効果が顕著に奏されることになる。

【0043】請求項11に記載されているように、請求項9又は10において、上記不純物拡散層の上に形成されたシリサイド膜をさらに備え、上記不純物拡散層内における上記第1導電型不純物の最大濃度位置が、上記シリサイド膜との界面の直下方にあるものとする

ことができる。

【0044】これにより、BF<sub>2</sub>注入によって拡散を制限した場合のごとく濃度のピークが基板表面の直下付近ではなく基板表面から少し入ったところにあるので、シリサイド膜が形成されるとシリサイド膜の直下方に濃度のピーク位置が存在することになる。したがって、不純物拡散層のシート抵抗が極めて小さくなるとともに、接合リークも低減されることになる。

【0045】請求項12に記載されているように、請求項9又は10において、上記半導体装置を、半導体基板



15

内の活性領域の上に形成されたゲート絶縁膜と、該ゲート絶縁膜の上に形成されたゲート電極と、上記活性領域のうち上記ゲート電極の両側方に位置する領域内に形成され第1導電型不純物を含むソース領域及びドレイン領域と、上記活性領域のうち上記ソース領域及びドレイン領域との間に形成され第2導電型不純物を含むチャンネル領域とを有するMIS型電界効果トランジスタとし、上記窒素拡散層を、上記ソース領域及びドレイン領域各々の少なくとも一部を含む領域に形成しておくことができる。

【0046】これにより、シート抵抗の小さいソース・ドレイン領域を有する半導体装置が得られる。

【0047】請求項13に記載されているように、請求項12において、上記ゲート電極の両側面上に形成された絶縁性材料からなるサイドウォールと、上記ソース領域及びドレイン領域と上記ゲート電極の直下方領域との間にそれぞれ形成され上記ソース領域及びドレイン領域よりも低濃度の第1導電型不純物を含むエクステンション領域とをさらに備え、上記窒素拡散層を、上記エクステンション領域にも亘って形成しておくことができる。

【0048】請求項14に記載されているように、請求項12又は13において、上記窒素拡散層が、上記チャンネル領域にも亘っていてもよい。

【0049】請求項12又は13により、チャンネル領域においてpn接合部分が浅くなるので、チャンネル抵抗を低減することができる。

【0050】請求項15に記載されているように、請求項12において、上記ソース領域及びドレイン領域のうち上記キャリア生成用不純物の濃度が所定値以上の領域を、上記チャンネル領域に隣接する部分において、上記窒素がない場合に対して上記半導体基板内の表面付近の領域では上記チャンネル領域側に入り込む一方その奥方ではチャンネル領域側から遠ざかるように構成することが好ましい。

【0051】これにより、トランジスタの寄生抵抗が小さくなり、パンチスルーに対する耐性が大きくなって短チャンネル効果の抑制機能が向上するとともに、寄生容量も小さくなる。つまり、動作速度が高くかつ微細化に適した構造が得られることになる。

【0052】請求項16に記載されているように、請求項12、13、14又は15において、上記ソース領域及び上記ドレイン領域の上に形成されたシリサイド膜をさらに備え、上記ソース領域及びドレイン領域のうち上記窒素拡散層が形成された領域における上記キャリア生成用不純物の最大濃度位置は、上記シリサイド膜との界面付近にあるものとすることができる。

【0053】これにより、ソース・ドレイン領域におけるシート抵抗が小さくかつ接合リークの小さいMIS型電界効果トランジスタが得られる。

【0054】請求項17に記載されているように、請求

(9)

16

項9において、上記半導体装置を、上記半導体基板内の活性領域の一部に形成され第2導電型不純物を含むエミッタ領域と、上記活性領域内で上記エミッタ領域を囲むように形成され第1導電型不純物を含むベース領域と、上記活性領域内で上記ベース領域の下方を含む領域に形成され第2導電型不純物を含むコレクタ領域とを有するバイポーラトランジスタとし、上記窒素拡散層を、上記エミッタ領域の少なくとも一部を含む領域に形成することができる。

10 【0055】これにより、エミッタ領域における不純物濃度の高い領域が半導体基板の表面付近に集中するので、エミッタ領域の抵抗が小さくなり、電流増幅率の高いバイポーラトランジスタが得られる。

【0056】請求項18に記載されているように、請求項9において、上記半導体装置を、上記半導体基板内の活性領域の一部に形成され第2導電型不純物を含むエミッタ領域と、上記活性領域内で上記エミッタ領域を囲むように形成され第1導電型不純物を含むベース領域と、上記活性領域内で上記ベース領域の下方を含む領域に形成され第2導電型不純物を含むコレクタ領域とを有するバイポーラトランジスタとし、上記窒素拡散層を、上記ベース領域の少なくとも一部を含む領域に形成することができる。

【0057】これにより、ベース領域における不純物濃度分布が急峻となりかつベース領域の厚みが小さくなるので、ベース抵抗が低減され、高い遮断周波数を有するバイポーラトランジスタが得られる。

【0058】本発明に係る第1の半導体装置の製造方法は、請求項19に記載されているように、MIS型電界効果トランジスタを搭載した半導体装置の製造方法において、半導体基板上に活性領域を囲む素子分離を形成する第1の工程と、上記活性領域の上に酸化膜及び導体膜を堆積する第2の工程と、上記酸化膜及び導体膜をパターンニングして、上記MIS型電界効果トランジスタのゲート酸化膜及びゲート電極をそれぞれ形成する第3の工程と、上記ゲート酸化膜の両端部のうち少なくともドレイン領域側の端部に窒素を導入して酸窒化層を形成する第4の工程と、上記活性領域のうち上記ゲート電極の両側方に位置する領域に第1導電型不純物を導入して上記MIS型電界効果トランジスタのソース領域及びドレイン領域を形成する第5の工程とを備えている。

【0059】この方法により、請求項1の構成を有する半導体装置が得られる。

【0060】請求項20に記載されているように、請求項19において、上記第4の工程は、上記第3の工程の後上記第5の工程の前に行ない、かつ上記ゲート酸化膜及びゲート電極の上方から大傾角イオン注入法により少なくともドレイン領域側に傾いた方向を含む方向から窒素イオンを注入することにより上記酸窒化層を形成することができる。

50

(10)

17

【0061】この方法により、窒素イオンが大傾角で注入されるので、ゲート酸化膜の端部のみに酸窒化層が形成される。その際、ゲート電極全体に窒素イオンを注入するのに比べ、注入エネルギーを弱くかつ窒素イオンの濃度を薄くしても、ホットキャリア劣化を抑制するのに十分な酸窒化層が形成できるので、ゲート電極の空乏化を招くことはない。また、半導体基板内に注入される窒素量が少なくなるので、活性領域における結晶性の乱れも可及的に低減される。したがって、信頼性の高いかつ性能の良好なトランジスタが形成されることになる。

【0062】請求項21に記載されているように、請求項20において、上記第4の工程では、上記ドレイン側に傾いた方向と上記ソース領域側に傾いた方向とを含む少なくとも2以上の方向から不純物イオンを注入することができる。

【0063】この方法により、ゲート酸化膜の両端部に酸窒化層が形成されるので、ホットキャリア劣化のより少ないトランジスタが形成される。

【0064】請求項22に記載されているように、請求項20又は21において、上記第4の工程では、上記トランジスタのチャネル方向に平行な断面内で上記半導体基板の表面に垂直な方向に対して $10^\circ$ 以上傾いた方向から不純物イオンを注入することができる。

【0065】この方法により、確実にゲート酸化膜の端部に酸窒化層を形成することができる。

【0066】請求項23に記載されているように、請求項19において、上記第4の工程を、少なくとも窒素を含むガス雰囲気中で上記半導体基板を加熱処理することにより行うことができる。

【0067】請求項24に記載されているように、請求項23において、上記第4の工程を、アンモニアガス雰囲気で行うことができる。

【0068】請求項25に記載されているように、請求項19において、上記第4の工程を、窒素を含むガス雰囲気中でプラズマを発生させることにより行うことができる。

【0069】請求項23～25の方法によっても、請求項19と同じ効果を得ることができる。

【0070】請求項26に記載されているように、請求項19、20、21、22、23、24又は25において、上記第4の工程を、上記ソース領域及びドレイン領域にも窒素を導入するように行うことができる。

【0071】この方法により、シート抵抗の小さいソース・ドレイン領域を有するトランジスタが形成されることになる。

【0072】請求項27に記載されているように、請求項19、20、21、22、23、24又は25において、上記第4の工程の前に、上記ゲート電極をマスクとして半導体基板内に低濃度の第1導電型不純物を導入して低濃度ソース・ドレイン領域を形成する工程と、上記

18

第4の工程の後上記第5の工程の前に、上記ゲート電極の両側面上に絶縁体サイドウォールを形成する工程とをさらに備えることができる。

【0073】この方法により、LDD構造を有し、かつシート抵抗の小さいソース・ドレイン領域を有するトランジスタが形成されることになる。

【0074】請求項28に記載されているように、請求項19、20、21、22、23、24又は25において、上記第5の工程の後に、上記ソース領域及びドレイン領域の上に少なくとも金属を含む低抵抗膜を形成する工程をさらに備えることができる。

【0075】この方法により、シート抵抗が極めて小さいソース・ドレイン領域を有するトランジスタが形成されることになる。

【0076】請求項29に記載されているように、請求項19、20、21、22、23、24、25、26、27又は28において、上記第2の工程では、上記導体膜の上に絶縁膜をさらに堆積し、上記第3の工程では、上記導体膜及び酸化膜と同時に上記絶縁膜をパターンニングして、上記ゲート電極の上にゲート上絶縁膜を形成することができる。

【0077】この方法により、ゲート電極内への窒素の導入量を抑制できるので、ゲート電極の空乏化に起因するトランジスタの駆動力の低下を確実に防止することができる。

【0078】請求項30に記載されているように、請求項19において、上記第1の工程では、nMIS型電界効果トランジスタを形成するための第1の活性領域と上記pMIS型電界効果トランジスタを形成するための第2の活性領域とを個別に囲む素子分離を形成し、上記第2の工程では、上記第1及び第2の活性領域の上に酸化膜及び導体膜を堆積し、上記第3の工程では、上記酸化膜及び導体膜をパターンニングして、上記第1及び第2の活性領域の上に、nMIS型、pMIS型電界効果トランジスタのゲート酸化膜及びゲート電極をそれぞれ形成し、上記第4の工程では、上記nMIS型電界効果トランジスタのゲート酸化膜の両端部のうち少なくともドレイン領域側の端部に窒素を導入して酸窒化層を形成し、上記第5の工程では、上記第1及び第2活性領域のうち上記ゲート電極の両側方に位置する領域に第1、第2導電型不純物をそれぞれ導入して、上記nMIS型及びpMIS型電界効果トランジスタのソース領域及びドレイン領域を形成することができる。

【0079】この方法により、第1の活性領域では、信頼性の高いかつ性能の良好なnMIS型電界効果トランジスタが製造される。一方、第2の活性領域では、酸窒化層が形成されないことにより、相互コンダクタンス特性の良好なpMIS型電界効果トランジスタが形成されることになる。

【0080】請求項31に記載されているように、請求

(11)

19

項30において、上記第3の工程の後上記第5の工程の前に、上記第2の活性領域を覆う第1のマスク部材を形成する工程をさらに備えており、上記第4の工程では、上記マスク部材を形成した状態で、上記第1の活性領域上の上記ゲート酸化膜及びゲート電極の上方から大傾角イオン注入法により少なくともドレイン領域側に傾いた方向から窒素イオンを注入することにより上記酸化窒素層を形成することができる。

【0081】この方法により、信頼性の高い性能の良好なnMIS型電界効果トランジスタが容易に製造される。

【0082】請求項32に記載されているように、請求項30又は31において、上記第3の工程の後上記第5の工程の前に、上記第1の活性領域を覆う第2のマスク部材を形成する工程と、上記第2のマスク部材を形成した状態で、上記半導体基板の表面に対してほぼ垂直な方向から上記第2の活性領域内に窒素イオンを注入する工程とをさらに備えることができる。

【0083】この方法により、第2の活性領域内に窒素拡散層が形成されるので、第5の工程におけるソース領域及びドレイン領域の際の不純物イオンのチャネリングが防止され、ソース領域及びドレイン領域の形成が安定する。

【0084】請求項33に記載されているように、請求項30、31又は32において、上記第2の工程では、上記導体膜の上に絶縁膜をさらに堆積し、上記第3の工程では、上記導体膜及び酸化膜と同時に上記絶縁膜をパターンニングして、上記第1及び第2の活性領域内の上記ゲート電極の上にゲート上絶縁膜を形成することができる。

【0085】この方法により、ゲート電極の空乏化の小さい駆動力の大きいCMOS型電界効果トランジスタが形成されることになる。

【0086】本発明の第2の半導体装置の製造方法は、請求項34に記載されているように、半導体基板の半導体領域内にキャリア生成用不純物を導入して第1の不純物拡散層を形成する第1の工程と、上記半導体基板の半導体領域内に半導体原子との衝突に起因する検知レベル以上の欠陥を生ぜしめないように窒素を導入して窒素拡散層を形成する第2の工程と、第2の工程と、上記半導体基板を加熱して、上記キャリア生成用不純物を活性化させる第3の工程とを備え、上記第1の工程及び第2の工程は、両工程のうちいずれか一方を先に、かつ上記第1の不純物拡散層と上記窒素拡散層とが少なくともオーバーラップするように行う方法である。

【0087】この方法により、請求項9の作用を奏する半導体装置が容易に形成されることになる。ただし、第2の工程と第3の工程とは連続的に行うことができる。

【0088】請求項35に記載されているように、請求項34において、上記第1の工程を、少なくとも窒素を

20

含むガス雰囲気中で上記半導体基板を加熱処理することにより行うことができる。

【0089】この方法により、窒素拡散層中において、窒素イオンを注入する場合のような窒素イオンと半導体原子との衝突に起因する欠陥が生じないので、欠陥に起因する特性の劣化のない半導体装置が得られる。

【0090】請求項36に記載されているように、請求項35において、上記第3の工程を、アンモニアガス雰囲気中で行うことができる。

10 【0091】この方法により、半導体基板内への窒素の導入機能が特に高くなるので、容易かつ迅速に窒素拡散層を形成することができる。

【0092】請求項37に記載されているように、請求項36において、上記第3の工程を、温度が900°以上、時間が10秒以下の条件下で行うことが好ましい。

【0093】請求項38に記載されているように、請求項34において、上記第1の工程を、少なくとも窒素を含むガス雰囲気中でプラズマを発生させることにより行うことができる。

20 【0094】この方法によっても、欠陥のほとんどない状態で窒素拡散層を形成することができる。

【0095】請求項39に記載されているように、請求項34において、上記第3の工程の後に、上記ソース領域及びドレイン領域の上にシリサイド膜を形成する工程をさらに備えることができる。

30 【0096】請求項40に記載されているように、請求項34、35、36、37又は38において、上記半導体基板内に、MIS型電界効果トランジスタ形成領域を設け、上記MIS型電界効果トランジスタ形成領域の上にゲート絶縁膜及びゲート電極を形成する工程をさらに備え、上記第1の工程では、上記ゲート絶縁膜及びゲート電極を形成した後に、上記MIS型電界効果トランジスタ形成領域のうち上記ゲート電極の両側方に位置する領域に上記キャリア生成用不純物を導入して上記MIS型電界効果トランジスタのソース領域及びドレイン領域を形成することができる。

【0097】この方法により、シート抵抗の小さいソース・ドレイン領域を有するMIS型電界効果トランジスタを形成することができる。

40 【0098】請求項41に記載されているように、請求項40において、上記ゲート絶縁膜及びゲート電極を形成する工程では、酸化膜からなるゲート絶縁膜を形成し、上記第2の工程は、上記ゲート絶縁膜及びゲート電極を形成する工程の後に、かつ、上記第2の工程では上記ゲート絶縁膜の両端部にも窒素を導入して酸化窒素層を形成することができる。

【0099】この方法により、シート抵抗が小さくかつホットキャリア耐性の大きいトランジスタを得ることができる。

50 【0100】請求項42に記載されているように、請求

(12)

21

項40において、上記ゲート絶縁膜及びゲート電極を形成する工程の後かつ上記第1の工程の前に、上記MIS型電界効果トランジスタ形成領域内に上記ソース領域及びドレイン領域に導入した上記キャリア生成用不純物よりも低濃度かつ同じ導電型の第2のキャリア生成用不純物を導入してエクステンション領域を形成する工程と、上記ゲート電極の両側面上に絶縁体サイドウォールを形成する工程とをさらに備え、上記第1の工程では、上記MIS型電界効果トランジスタ形成領域のうち上記ゲート電極及びサイドウォールの両側方に位置する領域内に上記キャリア生成用不純物を導入し、上記第2の工程では、上記エクステンション領域の少なくとも一部を含むように上記窒素拡散層を形成することができる。

【0101】この方法により、LDD構造を有しチャネル抵抗の小さいトランジスタが形成されることになる。

【0102】請求項43に記載されているように、請求項42において、上記ゲート絶縁膜及びゲート電極を形成する工程の後かつ上記第1の工程の前に、上記MIS型電界効果トランジスタ形成領域内に上記ソース領域及びドレイン領域に導入した上記キャリア生成用不純物よりも低濃度かつ逆導電型の第3のキャリア生成用不純物を導入してポケット領域を形成する工程をさらに備えることができる。

【0103】この方法により、短チャネル効果抑制機能の極めて高いトランジスタを形成することができる。

【0104】請求項44に記載されているように、請求項40、42又は43において、上記第2の工程は、上記ゲート絶縁膜及びゲート電極を形成する工程及び上記第1の工程の前に行い、上記MIS型電界効果トランジスタ形成領域の横方向全体に亘って窒素拡散層を形成することができる。

【0105】この方法により、チャネル抵抗が極めて小さいトランジスタが得られることになる。

【0106】請求項45に記載されているように、請求項40、41、42、43又は44において、上記第3の工程の後、上記ソース領域及びドレイン領域及びゲート電極の上にシリサイド膜を形成する工程をさらに備えることができる。

【0107】この方法により、請求項46に記載されているように、請求項34、35、36、37又は38において、上記半導体基板内に、バイポーラトランジスタ形成領域を設け、上記バイポーラトランジスタ形成領域に第1導電型不純物を導入してバイポーラトランジスタのコレクタ領域を形成する工程と、上記コレクタ領域内に第2導電型不純物を導入してバイポーラトランジスタのベース領域を形成する工程とをさらに備え、上記第1の工程では、上記ベース領域内に第1導電型不純物を導入して上記バイポーラトランジスタのエミッタ領域を形成し、上記第2の工程では、上記エミッタ領域の少なくとも一部を含む領域に窒素を導入することができる。

22

【0108】この方法により、電流増幅率の高いバイポーラトランジスタを形成することができる。

【0109】請求項47に記載されているように、請求項34、35、36、37又は38において、上記半導体基板内に、バイポーラトランジスタ形成領域を設け、上記バイポーラトランジスタ形成領域に第1導電型不純物を導入してバイポーラトランジスタのコレクタ領域を形成する工程と、上記第1の工程の後、上記コレクタ領域内に第1導電型不純物を導入して上記バイポーラトランジスタのエミッタ領域を形成する工程とをさらに備え、上記第2の工程では、上記コレクタ領域内かつ上記エミッタ領域を取り囲む領域に第2導電型不純物を導入してバイポーラトランジスタのベース領域を形成し、上記第2の工程では、上記ベース領域の少なくとも一部を含む領域に窒素を導入することができる。

【0110】この方法により、遮断周波数の高いバイポーラトランジスタを形成することができる。

【0111】

【発明の実施の形態】

(第1の実施形態) 図1(a)～(d)は、第1のnMOS型電界効果トランジスタの工程を示す断面図である。

【0112】まず、図1(a)に示す工程では、シリコン基板1の一部に素子分離4を形成し、素子分離4で囲まれる活性領域内のシリコン基板1上に熱酸化等により厚みが7nmの酸化膜を形成し、さらにその上に厚みが150nmのポリシリコン膜を堆積した後、フォトリソグラフィ及びドライエッチング工程により酸化膜及びポリシリコン膜をパターニングして、ゲート酸化膜2及びゲート電極3を形成する。なお、ゲート電極3の導電性を確保するためにポリシリコン膜にはCVD法による堆積時あるいは堆積後のイオン注入によってn型不純物がドーピングされている。これは、後述する各実施形態においても同様である。

【0113】次に、図1(b)に示す工程では、トランジスタのチャネル方向に平行な断面において半導体基板面に垂直な方向に対して25°斜めに傾いた方向からの4ステップイオン注入法により、窒素イオン(N<sup>+</sup>)をエネルギー10keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で注入する。その際、4ステップイオン注入法では、不純物イオンの注入方向は固定しておき、シリコン基板1を水平面内で90°ずつ順次回転させた4つの位置で不純物イオンの注入を行なう。その後、熱処理により窒素イオンを拡散させて、ゲート酸化膜2の両端部に酸窒化層5aを、シリコン基板1内に窒素拡散層6aをそれぞれ形成する。この工程では、窒素イオンの注入エネルギーは5～20keV、ドーズ量は $1 \times 10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、注入方向の傾き角度は7°～45°が好ましい。

【0114】なお、本実施形態では、4ステップイオン

(13)

23

注入法により窒素イオンを注入するので、ゲート酸化膜2の両端部に不純物イオンが打ち込まれるが、単にドレイン領域側に傾いた1つの方向から不純物イオンを注入してもよい。また、不純物イオンを打ち込む方向は、必ずしもトランジスタのチャネル方向（つまり図1の紙面に平行な方向）に一致していなくてもよい。つまり、イオン打ち込み方向がゲート幅方向に直交する面（図1の紙面）上に投影された線と基板面の法線との間の角度が $10^\circ$ 以上であれば、本発明の効果は発揮しうる。上述のことは、後の各実施形態についても同じである。

【0115】次に、図1(c)に示す工程では、ほぼ垂直方向からのイオン注入法により、砒素イオン( $As^+$ )をエネルギー $10\text{keV}$ 、ドーズ量 $1 \times 10^{15}\text{cm}^{-2}$ で注入し、シリコン基板1内の表面付近の領域にn型低濃度ソース・ドレイン領域7を形成する。なお、シリコン基板1内に窒素拡散層6aが形成されているので、垂直方向から不純物イオンを注入してもチャネリングは生じない。

【0116】次に、図1(d)に示す工程では、基板上に厚めのシリコン酸化膜を堆積した後エッチバックを行なって、ゲート電極3の両側面上にサイドウォール8を形成した後、さらにほぼ垂直方向からのイオン注入法により、砒素イオン( $As^+$ )をエネルギー $30\text{keV}$ 、ドーズ量 $5 \times 10^{15}\text{cm}^{-2}$ で注入し、サイドウォール8の両側にn型高濃度ソース・ドレイン領域9を形成する。

【0117】本実施形態の製造工程によって形成されるnMOS型電界効果トランジスタには、上記従来の酸化層を設けたトランジスタの構造と異なり、ゲート酸化膜2の両端部のみに酸化層5aが形成されている。一般に、ホットキャリア劣化の主要原因は、ホットキャリアがドレイン側のゲート酸化膜に捕獲されることにある。したがって、本実施形態のごとく、ゲート酸化膜2の少なくともドレイン側の端部（本実施形態では両端部）に酸化層5aが形成されていればホットキャリア劣化を防止することができる。

【0118】一方、このように大傾角方向からのイオン注入によってゲート酸化膜2の端部のみに窒素イオンを注入すればよいので、 $1 \times 10^{15}\text{cm}^{-2}$ 程度の低いドーズ量でかつ $10\text{keV}$ という低い注入エネルギーにより窒素イオンを注入しても、酸化層5aを形成できる。上記従来の方法のようにゲート酸化膜中の全域に酸化層を形成する場合には、窒素イオンのドーズ量を濃くする必要があるので、ゲート電極の空乏化を招いていた。それに対し、本実施形態の方法ではドーズ量は僅かであり、ゲート電極3の空乏化を招くことがない。

【0119】また、図1(b)に示す工程でシリコン基板1内に形成される窒素拡散層6aの深さも浅いので、結晶性が乱れた領域はわずかの部分である。さらに、窒素拡散層6aにおける窒素イオンの濃度も低いので、シ

24

リコン基板1中の結晶性の乱れの度合いも最小限度にとどめることができる。よって、トランジスタの性能の劣化を抑制でき、かつトランジスタの信頼性の向上を図ることができるのである。

【0120】なお、本実施形態では、ゲート酸化膜2の両端部に酸化層5aを形成したが、ゲート酸化膜2の少なくともドレイン側の端部に酸化層5aが形成されていればよい。このことは後述の各実施形態においても同様である。

10 【0121】（第2の実施形態）図2(a)～(d)は、第2の実施形態に係るnMOS型電界効果トランジスタの工程を示す断面図である。

【0122】まず、図2(a)に示す工程では、シリコン基板1の一部に素子分離4を形成し、素子分離4で囲まれる活性領域内のシリコン基板1上に熱酸化等により厚みが $7\text{nm}$ の酸化膜を形成し、さらにその上に厚みが $150\text{nm}$ のポリシリコン膜と厚みが $150\text{nm}$ の酸化膜とを堆積した後、フォトリソグラフィ及びドライエッチング工程により2つの酸化膜及びポリシリコン膜をパターニングして、ゲート酸化膜2、ゲート電極3及びゲート上酸化膜10を形成する。

30 【0123】次に、図2(b)に示す工程では、4ステップイオン注入法により、シリコン基板1の表面に垂直な方向に対して基板の法線方向に対して $25^\circ$ 傾いた方向から窒素イオン( $N^+$ )をエネルギー $10\text{keV}$ 、ドーズ量 $1 \times 10^{15}\text{cm}^{-2}$ で注入する。その際、4ステップイオン注入法では、不純物イオンの注入方向は固定しておき、シリコン基板1を水平面内で $90^\circ$ ずつ順次回転させた4つの位置で不純物イオンの注入を行なう。その後、熱処理により窒素イオンを拡散させて、ゲート酸化膜2の両端部に酸化層5aを、シリコン基板1内に窒素拡散層6aをそれぞれ形成する。この工程では、窒素イオンの注入エネルギーは $5 \sim 30\text{keV}$ 、ドーズ量は $1 \times 10^{13} \sim 5 \times 10^{16}\text{cm}^{-2}$ 、注入方向の傾き角度は $7^\circ \sim 45^\circ$ が好ましい。

40 【0124】次に、図2(c)に示す工程では、ほぼ垂直方向からのイオン注入法により、砒素イオン( $As^+$ )をエネルギー $10\text{keV}$ 、ドーズ量 $1 \times 10^{14}\text{cm}^{-2}$ で注入し、シリコン基板1内の表面付近の領域にn型低濃度ソース・ドレイン領域7を形成する。

【0125】次に、図2(d)に示す工程では、基板上に厚めのシリコン酸化膜を堆積した後エッチバックを行なって、ゲート電極3の両側面上にサイドウォール8を形成した後、さらにほぼ垂直方向からのイオン注入法により、砒素イオン( $As^+$ )をエネルギー $30\text{keV}$ 、ドーズ量 $5 \times 10^{15}\text{cm}^{-2}$ で注入し、サイドウォール8の両側にn型高濃度ソース・ドレイン領域9を形成する。

50 【0126】本実施形態では、上述の第1の実施形態の効果に加えて、ゲート電極3の上にゲート上酸化膜10

(14)

25

が形成されているので、図2(b)に示す工程において、ゲート電極3内に注入される窒素量が大幅に減少する。したがって、ゲート電極3の空乏化によるトランジスタの特性劣化をより確実に抑制することができる。また、窒素イオンの注入エネルギーや注入量を増大しても、ゲート電極3の空乏化を招くことがないので、条件の選択幅を拡大しうる。

【0127】(第3の実施形態)図3(a)～(d)は、第3の実施形態に係るCMOSデバイスの工程を示す断面図である。

【0128】まず、図3(a)に示す工程では、シリコン基板1の上に、第1の活性領域であるnMOSFET形成領域Rnfetと、第2の活性領域であるpMOSFET形成領域Rpftとを区画する素子分離4を形成する。そして、素子分離4で囲まれる各領域Rnfet、Rpft内のシリコン基板1上に熱酸化等により厚みが7nmの酸化膜を形成し、さらにその上に厚みが150nmのポリシリコン膜を堆積した後、フォトリソグラフィ及びドライエッチング工程により酸化膜及びポリシリコン膜をパターニングして、各領域Rnfet、Rpftに、それぞれゲート酸化膜2及びゲート電極3を形成する。なお、ゲート電極3の導電性を確保するために、各領域Rnfet、Rpft上のポリシリコン膜にはCVD法による堆積時あるいは堆積後のイオン注入によってn型不純物、p型不純物がそれぞれドーピングされている。これは、後述する第4～第6の実施形態においても同様である。

【0129】次に、図3(b)に示す工程では、pMOSFET形成領域Rpftを覆うフォトレジスト膜Fr1を形成し、このフォトレジスト膜Fr1をマスクとして、シリコン基板1の表面に垂直な方向に対して25°斜めに傾いた方向からの4ステップイオン注入法により、窒素イオン(N<sup>+</sup>)をエネルギー10keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で注入した後、熱処理により窒素イオンを拡散させて、nMOSFET形成領域Rnfetのゲート酸化膜2の両端部に酸化窒化層5aを、シリコン基板1内に窒素拡散層6aをそれぞれ形成する。そして、pMOSFET形成領域Rpftには酸化窒化層5a及び窒素拡散層6aを形成することなく、次の工程に進む。

【0130】次に、図3(c)に示す工程では、nMOSFET形成領域RnfetとpMOSFET形成領域Rpftとで個別にフォトレジスト膜を形成して(図示せず)、各領域Rnfet、Rpftにそれぞれ低濃度ソース・ドレイン領域7、12を形成する。すなわち、nMOSFET形成領域Rnfetには、ほぼ垂直方向からのイオン注入法により、砒素イオン(As<sup>+</sup>)をエネルギー10keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ で注入し、n型低濃度ソース・ドレイン領域7を形成する。pMOSFET形成領域Rpftには、ほぼ垂直方向からのイオン注入法により、フッ化ボロンイオン(BF<sub>2</sub><sup>+</sup>)をエネルギー10keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ で注入し、p型低

26

濃度ソース・ドレイン領域12を形成する。

【0131】次に、図3(d)に示す工程では、基板上に厚めのシリコン酸化膜を堆積した後エッチバックを行なって、ゲート電極3の両側面上にサイドウォール8を形成した後、nMOSFET形成領域RnfetとpMOSFET形成領域Rpftとで個別にフォトレジスト膜を形成して(図示せず)、各領域Rnfet、Rpftに高濃度ソース・ドレイン領域9、13を形成する。すなわち、nMOSFET形成領域Rnfetには、ほぼ垂直方向からのイオン注入法により、砒素イオン(As<sup>+</sup>)をエネルギー30keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ で注入し、サイドウォール8の両側にn型高濃度ソース・ドレイン領域9を形成する。pMOSFET形成領域Rpftには、ほぼ垂直方向からのイオン注入法により、フッ化ボロンイオン(BF<sub>2</sub><sup>+</sup>)をエネルギー30keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ で注入し、サイドウォール8の両側にp型高濃度ソース・ドレイン領域13を形成する。

【0132】本実施形態では、最終的にnMOS型電界効果トランジスタのみに窒素が注入され酸化窒化層5aと窒素拡散層6aが形成されているので、上記第3の実施形態の効果に加え、pMOS型電界効果トランジスタにおける相互コンダクタンスの劣化を抑制することができる。

【0133】(第4の実施形態)図4(a)～(d)は、第4の実施形態に係るCMOSデバイスの製造工程を示す断面図である。

【0134】本実施形態では、図4(a)に示す工程で、ゲート電極3の上にゲート上酸化膜10が形成されている点を除くと、上記第3の実施形態における図3(a)～(d)に示す工程と同じ処理を行なう。

【0135】したがって、本実施形態では、上記第3の実施形態と同じ効果に加え、ゲート上酸化膜10によってゲート電極3内に注入される窒素量が大幅に低減されるので、ゲート電極3の空乏化に起因するトランジスタの性能の劣化をより確実に防止できる。

【0136】(第5の実施形態)図5(a)～(e)は、第5の実施形態に係るCMOSデバイスの製造工程を示す断面図である。

【0137】まず、図5(a)に示す工程では、シリコン基板1の一部に素子分離4を形成し、素子分離4で囲まれる活性領域内のシリコン基板1上に熱酸化等により厚みが7nmの酸化膜を形成し、さらにその上に厚みが150nmのポリシリコン膜を堆積した後、フォトリソグラフィ及びドライエッチング工程により酸化膜及びポリシリコン膜をパターニングして、nMOSFET形成領域Rnfet及びpMOSFET形成領域Epftに、それぞれゲート酸化膜2及びゲート電極3を形成する。

【0138】次に、図5(b)に示す工程では、pMOSFET形成領域Rpftを覆うフォトレジスト膜Fr1を形成し、このフォトレジスト膜Fr1をマスクとして、シ

(15)

27

リコン基板1の表面に垂直な方向に対して25°斜めに傾いた方向からの4ステップイオン注入法により、窒素イオン(N<sup>+</sup>)をエネルギー10keV、ドーズ量 $1 \times 10^{15} \text{cm}^{-2}$ で注入した後、熱処理により窒素イオンを拡散させて、nMOSFET形成領域Rnfetのゲート酸化膜2の両端部に酸化窒化層5aを、シリコン基板1内に窒素拡散層6aをそれぞれ形成する。

【0139】次に、図5(c)に示す工程では、nMOSFET形成領域Rnfetを覆うフォトリソ膜Fr2を形成し、このフォトリソ膜Fr2をマスクとして、ほぼ垂直方向からのイオン注入法により、窒素イオン(N<sup>+</sup>)をエネルギー10keV、ドーズ量 $1 \times 10^{15} \text{cm}^{-2}$ で注入した後、熱処理により窒素イオンを拡散させて、pMOSFET形成領域Rpftのシリコン基板1内に窒素拡散層6を形成する。なお、ゲート酸化膜2内には、弱い酸化窒化層5が形成されている。

【0140】次に、図5(d)に示す工程では、nMOSFET形成領域RnfetとpMOSFET形成領域Rpftとで個別にフォトリソ膜を形成して(図示せず)、各領域Rnfet、Rpftにそれぞれ低濃度ソース・ドレイン領域7、12を形成する。すなわち、nMOSFET形成領域Rnfetには、ほぼ垂直方向からのイオン注入法により、砒素イオン(As<sup>+</sup>)をエネルギー10keV、ドーズ量 $1 \times 10^{14} \text{cm}^{-2}$ で注入し、n型低濃度ソース・ドレイン領域7を形成する。pMOSFET形成領域Rpftには、ほぼ垂直方向からのイオン注入法により、フッ化ボロンイオン(BF<sub>2</sub><sup>+</sup>)をエネルギー10keV、ドーズ量 $1 \times 10^{14} \text{cm}^{-2}$ で注入し、p型低濃度ソース・ドレイン領域12を形成する。

【0141】次に、図5(e)に示す工程では、基板上に厚めのシリコン酸化膜を堆積した後エッチバックを行なって、ゲート電極3の両側面上にサイドウォール8を形成した後、nMOSFET形成領域RnfetとpMOSFET形成領域Rpftとで個別にフォトリソ膜を形成して(図示せず)、各領域Rnfet、Rpftに高濃度ソース・ドレイン領域9、13を形成する。すなわち、nMOSFET形成領域Rnfetには、ほぼ垂直方向からのイオン注入法により、砒素イオン(As<sup>+</sup>)をエネルギー30keV、ドーズ量 $5 \times 10^{15} \text{cm}^{-2}$ で注入し、サイドウォール8の両側にn型高濃度ソース・ドレイン領域9を形成する。pMOSFET形成領域Rpftには、ほぼ垂直方向からのイオン注入法により、フッ化ボロンイオン(BF<sub>2</sub><sup>+</sup>)をエネルギー30keV、ドーズ量 $5 \times 10^{15} \text{cm}^{-2}$ で注入し、サイドウォール8の両側にp型高濃度ソース・ドレイン領域13を形成する。

【0142】本実施形態の製造工程によって形成されるCMOSデバイスは、上記第3の実施形態の製造工程で形成されるCMOS型デバイスとはほぼ同様の構造を有するが、上記第3実施形態とは異なり、pMOS型電界効果トランジスタのシリコン基板1内に窒素拡散層6が形

28

成されている。したがって、上述のような第3の実施形態の効果と同様の効果に加え、pMOSFET形成領域Rpftにおいてもイオン注入時のチャネリングを防止する効果があり、ソース・ドレイン領域を安定して形成することができる。また、pMOS型電界効果トランジスタにおいて、ほぼ垂直方向からの窒素イオンの注入により、ゲート酸化膜2のゲート電極3内にわずかながら酸化窒化層が形成されるので、ゲート電極3中のボロンがシリコン基板側に突き抜けるのを可及的に抑制することができる利点もある。

【0143】(第6の実施形態)図6(a)～(e)は、第6の実施形態に係るCMOSデバイスの製造工程を示す断面図である。

【0144】本実施形態の製造工程では、上記第5の実施形態とほぼ同様の工程を行っており、図6(a)に示す状態で、ゲート電極3の上にゲート酸化膜10を形成している点のみが第5の実施形態と異なる。

【0145】本実施形態の製造工程によって形成されるCMOSデバイスにおいては、ゲート電極の上にゲート酸化膜10が設けられているので、上記第5の実施形態と同様の効果に加え、ゲート電極3内に注入される窒素量を大幅に低減することができる。よって、ゲート電極3の空乏化に起因するトランジスタの特性の劣化をより確実に防止することができる。

【0146】(第7の実施形態)図7は、本実施形態における半導体装置の製造工程を示す断面図であり、本実施形態では、図7(a)～(c)を参照しながら、p型拡散層における不純物濃度の分布を改良するための工程について説明することとする。

【0147】まず、図7(a)に示す工程では、n型シリコン基板21に、ボロンイオン(B<sup>+</sup>)を加速エネルギー10keV、ドーズ量 $2 \times 10^{15} \text{cm}^{-2}$ で注入する。このとき、ボロンイオンのかわりにBF<sub>2</sub><sup>+</sup>イオンを加速エネルギー30keV、ドーズ量 $2 \times 10^{15} \text{cm}^{-2}$ で注入してもよい。ボロン又はBF<sub>2</sub><sup>+</sup>のイオンを注入することにより、後に活性化処理が施されるp型拡散層22が形成される。

【0148】次に、図7(b)に示す工程では、通常の急速加熱熱処理(Rapid Thermal Annealing)装置内に基板を設置して、5リットル/分のアンモニアガスを流したアンモニアガス雰囲気中で、900℃、10秒間、熱処理を行う。これにより、シリコン基板21内に窒素が導入され、シリコン基板1の表面から所定深さに達するまでの領域にボロン・窒素混在層23(窒素拡散層)が形成される。

【0149】さらに、図7(c)に示す工程では、通常急速加熱熱処理(Rapid Thermal Annealing)装置を用いて、1000℃で10秒間の活性化のための熱処理を行うことにより、p型拡散層22内のボロン(又はBF<sub>2</sub><sup>+</sup>)が活性化されるとともに拡散



(16)

29

して、p型拡散層22の範囲が定まる。なお、ボロン（又はBF<sub>2</sub>）とともに窒素も拡散する。

【0150】図8は、本実施形態によって形成されたp型拡散層22内におけるボロン、BF<sub>2</sub>（実線の濃度分布曲線L<sub>1</sub>、L<sub>2</sub>）と窒素（破線の濃度分布曲線L<sub>n</sub>）の深さ方向における濃度プロファイルを示す。なお、比較のために、アンモニアガス雰囲気中での急速加熱熱処理を行わずに活性化のための熱処理を行った場合におけるボロン、BF<sub>2</sub>の濃度分布曲線L<sub>3</sub>、L<sub>4</sub>（点線）を示す。ただし、以下の説明においては、本実施形態の製造方法によって形成されたp型拡散層、つまり、ボロンを注入した後アンモニアガス雰囲気中での急速加熱熱処理を行ったソース・ドレイン領域を有するものをサンプルaとし、30keVでBF<sub>2</sub>イオンを注入した後アンモニアガス雰囲気中で急速加熱熱処理を行ったp型拡散層をサンプルbとし、10keVでボロンイオンを注入した後アンモニアガス雰囲気中での急速加熱熱処理を行っていないp型拡散層をサンプルcとし、30keVでBF<sub>2</sub>イオンを注入した後アンモニアガス雰囲気中での急速加熱熱処理を行っていないp型拡散層をサンプルdという。ただし、BF<sub>2</sub>イオンを注入する場合とボロンイオンの注入する場合とで注入エネルギーが異なるのは、質量差に起因する注入深さの相違を補償するためである。

【0151】同図からわかるように、ボロン及び窒素を導入してアンモニアガス雰囲気中で急速加熱熱処理したサンプルaの濃度プロファイル曲線L<sub>1</sub>は、元の不純物拡散層22のうち約0.1μmの深さまでの領域がボロン・窒素混在層23となっているので、このボロン・窒素混在層23内でのボロン濃度が高いという特徴を有する。サンプルa中のボロンの濃度は、窒素を導入していないサンプルc（曲線L<sub>3</sub>）に比べてそのピーク位置P<sub>eb</sub>をすぎた後急激に濃度が減少するが（図中の領域L<sub>1a</sub>）、ある点P<sub>ch1</sub>付近でその濃度の減少割合が小さくなり、その後濃度が比較的緩やかに減少して、窒素を導入していないサンプルcに近い濃度となる（図中の領域L<sub>1b</sub>）。言い換えると、図中の点P<sub>ch1</sub>は、濃度を深さの関数としたときの濃度の変曲点に相当する。サンプルa中のボロンの濃度分布がこのような形態を示すのは、活性化のための熱処理の際、ボロン・窒素混在層23内の窒素によってボロンの拡散が抑制され、その結果、活性化後のボロンが、窒素の濃度の高い領域（深さが約0.1μmの位置よりも上方）に偏在する傾向が生じるためである。

【0152】なお、従来より半導体基板内への窒素の導入は提案されているが、その場合、窒素イオンの注入によって行われている。そして、一般的な常識では、アンモニアガス等の窒素雰囲気中での熱処理によつては、半導体基板中に実用的に意義のある窒素の導入を行うことができないと考えられていた。しかし、本実施形態のよ

30

うな条件で、つまりアンモニアガス雰囲気中で比較的高温の急速加熱熱処理を行うことによって、シリコン基板内に比較的高濃度の窒素拡散層を形成できることがわかった。

【0153】しかも、本実施形態のような熱処理による窒素の導入方法によつては、シリコン基板内に窒素イオンを注入した場合とは異なり、シリコン基板内に欠陥は生じない。したがって、窒素の導入の際に欠陥を生じさせ、この欠陥により不純物の拡散を抑制したのではないことがわかる。また、BF<sub>2</sub>のみを導入し窒素を導入せずに活性化処理を行ったサンプルdの不純物濃度分布曲線L<sub>4</sub>は、表面のごく近傍にピーク値を有しその後全体的になだらかな減少特性を示しておりピーク値も小さい。これは、フッ素イオンの存在によつてBF<sub>2</sub>の拡散が全体的に抑制されるためと思われる。したがって、BF<sub>2</sub>のみの導入によつては本実施形態のような特徴を持った不純物濃度プロファイルを得ることはできない。

【0154】一方、BF<sub>2</sub>及び窒素を導入してアンモニアガス雰囲気中で急速加熱熱処理したサンプルbの濃度分布曲線L<sub>2</sub>は、深さが0.1μmよりも小さい0.07付近に変曲点P<sub>ch2</sub>を有している。したがって、この場合には、さらに小さい範囲に高濃度領域を集中させることができる。

【0155】図8には、ある特定の条件で、窒素の導入とアンモニアガス雰囲気中における急速加熱熱処理を行った場合における濃度プロファイルを示したが、アンモニアガス雰囲気中の急速加熱熱処理の温度や時間等を調整したり、ボロンイオンの注入工程とアンモニアガス雰囲気中における急速加熱熱処理工程との実施順序を変えたりすることにより、ボロンの濃度プロファイルを制御することが可能である。

【0156】また、アンモニアガス雰囲気中での急速加熱熱処理は、900℃以上、10秒以下の条件で行うのが好ましい。一般にアンモニアガスは、800℃以上で熱分解し、900℃以上でより活性化されるからである。ただし、すでにp型不純物あるはn型不純物が導入されたソース・ドレイン領域に窒素を急速加熱熱処理によって導入する際には、これらの不純物の拡散を抑制すべく、pMOSトランジスタでは1000℃以下、nMOSトランジスタでは1050℃以下の条件で行うことが好ましい。アンモニアガス流量は、一般的には1～10slm程度であるが、これに限定されるものではない。特に、加熱処理時間を極めて短く、例えば目標温度に達すると瞬時に冷却するようにパルス的な加熱を行うことによって図8の濃度分布曲線L<sub>1</sub>に示す濃度プロファイルの表面付近の濃度分布がさらに急峻になることが確認されている。つまり、ピーク値P<sub>eb</sub>がさらに高くなり、かつ変曲点P<sub>ch1</sub>が左方に移動する。

【0157】さらに、アンモニアガス雰囲気中の急速加熱熱処理工程と不純物活性化のための熱処理工程とを共



(17)

31

通化することも可能であり、或いは2つの工程を多段処理として連続処理することも可能である。

【0158】なお、半導体基板内にボロン又はBF<sub>2</sub>を注入する際の条件が多少変化しても、その後のアンモニアガス雰囲気中における急速加熱熱処理条件を適宜選択することにより、本実施形態と同様の効果を発揮することができる。

【0159】また、半導体基板内に導入するキャリア生成用不純物としてはボロンだけでなく、リン、砒素、インジウム、アンチモン等に適用できる。また、窒素を導入することにより、キャリア生成用不純物だけでなくフッ素等のキャリアを生成しない不純物の拡散を抑制する効果もある。すなわち、その濃度プロファイル曲線に変曲点を生ぜしめる効果がある。

【0160】なお、アンモニアガスに窒素ガスやアルゴンガス等の不活性ガスを添加したガス雰囲気中で急速加熱熱処理を行っても、本実施形態と同様の効果を期待できる。また、窒素ガスと水素ガス等の他のガスとの混合ガス雰囲気中や、NF<sub>3</sub>ガス雰囲気中で急速加熱熱処理を行っても、本実施形態と同じ効果が得られる。

【0161】さらに、本発明における半導体領域は、半導体基板内の単結晶半導体領域だけでなく、例えばポリシリコン等の多結晶半導体領域や、アモルファスシリコン等の非晶質半導体領域であってもよい。多結晶半導体領域や非晶質半導体領域においても導電性を上げるためにボロン、リン、砒素等のキャリア生成用不純物を導入することがあり、かかる場合にも、当該不純物が導入された領域に窒素を導入することにより、本実施形態と同様の不純物濃度プロファイルを生ぜしめることができる。

【0162】(第8の実施形態)次に、上述の第7の実施形態における不純物濃度分布の改良技術をpMOSデバイスの特性の改善に利用した例である第8の実施形態について説明する。図9は本実施形態の製造工程の手順を示すフロー図であり、図10は本実施形態に係るpMOSデバイスの製造工程を示す断面図である。

【0163】まず、図10(a)に示す工程では、半導体基板内にnウェル31を形成し、このnウェル31の上に厚みが4nm程度の酸化膜を形成し、さらにゲート酸化膜32の上に厚みが200nm程度のポリシリコン膜を形成した後、リソグラフィ工程、反応性イオンエッチング(RIE)工程により酸化膜及びポリシリコン膜をパターニングして、ゲート酸化膜32及びゲート電極33を形成する。その後、ゲート電極33をマスクとして加速エネルギーが約10keV、ドーズ量が約1×10<sup>14</sup>cm<sup>-2</sup>の条件でBF<sub>2</sub>イオンの注入を行ってソース・ドレインのエクステンション領域34(p型拡散層)を形成する。さらに、ゲート電極33をマスクとして加速エネルギーが約160keV、ドーズ量が約6×10<sup>12</sup>cm<sup>-2</sup>、注入角度が20°程度の条件で砒素イオンの注入を行ってパシスルー耐圧を向上させるための

32

ポケット領域35(n型拡散層)を形成する。

【0164】続いて、図10(b)に示す工程では、TEOSガスによるLPCVDにより厚さ120nmの酸化膜を堆積した後、ドライエッチングによってこの酸化膜をエッチバックして、ゲート電極33の両側面上に酸化膜の一部を残存させてサイドウォール36を形成する。さらに、加速エネルギーが約10keV、ドーズ量が約2×10<sup>15</sup>cm<sup>-2</sup>の条件でボロンイオンの注入を行って、ソース・ドレイン領域37(p型拡散層)を形成する。この時、ゲートにもボロンが導入されて、p型トランジスタの電極となる。

【0165】続いて、図10(c)に示す工程では、通常の急速加熱熱処理(Rapid Thermal Annealing)装置内に基板を設置して、5リットル/分のアンモニアを流したアンモニア雰囲気中、約900℃、約10秒間の条件で熱処理を行う。これにより、半導体基板内に窒素が導入され、ソース・ドレイン領域37のうち表面付近の領域にボロン・窒素混在層38

(窒素拡散層)が形成される。さらに、通常の急速加熱熱処理(Rapid Thermal Annealing)装置により、不純物を活性化するための熱処理として約1000℃、約10秒間の熱処理を加えることにより、p型のエクステンション領域34と、p型のソース・ドレイン領域37と、n型のポケット領域35との範囲が定まる。この時、上記第1の実施形態のp型拡散層22におけると同様に、ソース・ドレイン領域37内には、窒素が約0.1μmの深さまで高濃度で拡散している。したがって、ソース・ドレイン領域37内におけるボロンの濃度プロファイルは、図8に示すプロファイルにほぼ一致している。つまり、高濃度のボロンが存在する領域が表面付近に集中した濃度プロファイルを有している。また、エクステンション領域34内においても窒素により不純物の拡散が抑制されるので、エクステンション領域34内のうち表面付近の領域に比較的高濃度のボロンが存在し、その直下では急峻な濃度勾配(濃度の減少)を示す濃度プロファイルを有している。

【0166】なお、本実施形態では、ソース・ドレイン領域37内にエクステンション領域34及びポケット領域35を形成するための不純物も導入されているが、ソース・ドレイン形成用の不純物濃度に比べると微量であるため、ソース・ドレイン領域37内においては、それらの不純物の存在はほぼ無視しうる。ただし、後述するように、ソース・ドレイン領域37の形状に影響を与えることはあり得る。

【0167】続いて、図10(d)に示す工程では、チタンのような高融点金属をスパッタリング法により30nm堆積し、700℃、1分間の熱処理を加える。この熱処理によって、シリコンで構成されるソース・ドレイン領域37やポリシリコンからなるゲート電極33等の表面付近の領域はチタンと反応するので、ソース・ドレ

(18)

33

イン領域37aやゲート電極33の表面付近にはチタンシリサイド膜39が形成される。その後、シリサイド化しなかった未反応のチタン膜はウェットエッチングによって除去される。さらにその後、基板上に、層間絶縁膜40や、コンタクトホールへの埋め込みプラグ41、配線（図示せず）等が形成されて、表面チャネル型のp型MOSFETが製造される。

【0168】以上のような製造方法にすることで、窒素による不純物の拡散抑制作用によって、ソースドレイン領域37における高濃度領域や、エクステンション領域34a内の比較的高濃度の領域が表面付近に集中されるので、トランジスタのパンチスルー耐圧が向上し、短チャネル効果の抑制機能も向上する。この点については後に詳しく説明する。

【0169】次に、本実施形態について行ったトランジスタの特性に関する測定結果について説明する。ただし、以下の説明においては、本実施の形態の製造方法によって形成されたp型MOSFET、つまり、ボロンを注入した後アンモニアガス雰囲気中での急速加熱熱処理を行ったソース・ドレイン領域を有するものをサンプルAとし、30keVでBF<sub>2</sub>イオンを注入した後アンモニアガス雰囲気中で急速加熱熱処理を行ったp型MOSFETをサンプルBとし、10keVでボロンイオンを注入した後アンモニアガス雰囲気中で急速加熱熱処理を行っていないp型MOSFETをサンプルCとし、30keVでBF<sub>2</sub>イオンを注入した後アンモニアガス雰囲気中で急速加熱熱処理を行っていないp型MOSFETをサンプルDという。ただし、BF<sub>2</sub>イオンを注入する場合とボロンイオンの注入する場合とで注入エネルギーが異なるのは、質量差に起因する注入深さの相違を補償するためである。

【0170】図11は、サンプルA、C、Dについてのしきい値電圧のゲート長依存性を示す特性図である。ただし、しきい値電圧がゲート長によって変化する程度が小さいほど短チャネル効果抑制機能が大きいことを示す。図12は、サンプルAとDとをゲート長としきい値電圧とがほぼ同じになるように形成した上で、両者のトランジスタ特性（I-V特性）を測定した結果を示すデータである。図13は、サンプルA、B、C、Dについて、さらにソース・ドレイン領域上にシリサイド膜を形成したときのシリサイド膜-ソース・ドレイン領域間界面の面積に対する当該界面のコンタクト抵抗の変化を示すデータである。

【0171】図11からわかるように、ボロンイオンを10keVで注入したもの同士について比較すると、アンモニアガス雰囲気中での急速加熱熱処理を行なった本実施形態のサンプルAは、アンモニアガス雰囲気中での急速加熱熱処理を行わなかったサンプルCよりも短チャネル効果の抑制機能が大きく、BF<sub>2</sub>イオンを30keVで注入した後アンモニアガス雰囲気中で急速加熱熱処理を

34

行なっていないサンプルDと同等の短チャネル効果抑制機能を有する。一方、図12からわかるように、サンプルAとDのトランジスタ特性を比較すると、ボロン10keV注入でアンモニアガス雰囲気中で急速加熱熱処理を行なった本実施形態のサンプルAの方が飽和ドレイン電流が15%大きい。これは、図13に示すシリサイド膜-ソース・ドレイン領域間界面の抵抗が本実施形態のサンプルAの方が低いことと、図8に示すように、ボロン10keV注入によってソース・ドレイン領域のプロファイルの裾がブロードにつまりソース・ドレイン領域の奥方の領域における不純物濃度が高いことからサンプルAのソース・ドレイン領域の抵抗が低くなっていることに起因していると思われる。つまり、本実施形態のMOSデバイスは、BF<sub>2</sub>イオンの注入のみ行いアンモニアガス雰囲気中での急速加熱熱処理を行っていないMOSデバイスに比べて、短チャネル効果抑制機能は同等であるがより大きな飽和ドレイン電流を実現できる。

【0172】なお、図14は、砒素イオンの注入後にアンモニアガス雰囲気中での急速加熱熱処理を行ったn型MOSFETと、アンモニアガス雰囲気中での急速加熱熱処理を行っていないn型MOSFETとについて、そのn-chゲート抵抗のゲート幅依存性を比較するデータを示す。また、図15はp型MOSFETの上述のサンプルA、B、C、Dのソース・ドレイン領域におけるシート抵抗のシリサイド幅依存性を示すデータである。図14に示すように、本実施形態のごとく窒素を導入することによって、シリサイド化によって低抵抗化を図るというシリサイド技術の目的を阻害するような不具合は生じていない。一般的には、窒素の導入によってシリサイド化処理が阻害されることが指摘されているが、本実施形態の方法では、窒素の濃度が極めて微量であるので、かかる不具合が生じていないことがわかる。また、図15に示すように、BF<sub>2</sub>イオンの注入によるシート抵抗の増大という不具合が窒素の導入によって緩和されていることがわかる。つまり、BF<sub>2</sub>イオンの注入の場合表面のごく近傍に不純物濃度のピーク値があるので均一なシリサイド膜の形成が阻害されることは知られているが、ボロンイオンの注入の場合、表面よりも少し下方の位置つまりシリサイド化される領域の直下に不純物濃度のピーク値が存在するので、均一なシリサイド膜の形成が阻害されることない。しかも、本実施形態のMOSデバイスでは、シート抵抗の低減にもっとも重要な機能を果たすシリサイド膜直下の領域の不純物濃度を高くすることでシート抵抗を大幅に改善できるのである。

【0173】加えて、接合リークの低減することもできるという著効が得られることがわかっている。

【0174】次に、MOSFETのソース・ドレイン領域に窒素を導入することによって生じる構造上の特徴と利点について説明する。

【0175】図16は、MOSFETの一般的なソース

(19)

35

・ドレイン領域とチャネル領域付近の構造を示す断面図である。ただし、同図においてはドレイン領域のみが示されており、ソース領域は一般的にはドレイン領域と対称構造を有しているため図示が省略されている。また、図17は、上述の図8中のデータから本実施形態のボロンと窒素とを導入したソース・ドレイン領域と従来のボロン注入のみによるソース・ドレイン領域とについて、基板の深さ方向に対する不純物濃度分布曲線L1、L2を取り出した図である。図16に示すように、ボロイオンのみの導入によって形成される従来のソース・ドレイン領域S<sub>Db</sub>は、一般的に破線で示されるような形状を有する。一般に、不純物の拡散（イオン注入による拡散と加熱による拡散との双方を含む）は拡散源から一定の速度で各方向に均一に進む。そして、この場合にはソース・ドレイン領域の表面が拡散源に相当するので、図16に示す断面内では直線状の拡散源から拡散が進行することになるからである。一方、実施形態のソース・ドレイン領域S<sub>Dbn</sub>は、図中の実線で示す形状を示す。このような相違が生じるのは以下の理由によると考えられる。

【0176】ソース・ドレイン領域は、チャネル領域と隣接する領域R<sub>ch</sub>と、パンチスルーを生じる方向となる領域R<sub>pa</sub>と、基板領域と隣接する底部の領域R<sub>sb</sub>とに大別できる。一方、半導体基板中には、しきい値制御のためのn型不純物（砒素、リンなど）やパンチスルー防止用のn型不純物がドーパされており、このn型不純物の高濃度領域は半導体基板の表面から奥方に入ったある深さ範囲に存在している（図17参照）。以上のことから、本実施形態に係るソース・ドレイン領域S<sub>Dbn</sub>は、従来のソース・ドレイン領域S<sub>Db</sub>に対して、以下のような形状的特徴を示す。まず、基板表面付近の領域R<sub>ch</sub>においては、本実施形態のソース・ドレイン領域S<sub>Dbn</sub>内の不純物濃度は従来のソース・ドレイン領域S<sub>Db</sub>内の濃度よりも濃いので、表面付近の領域R<sub>ch</sub>では、本実施形態のソース・ドレイン領域S<sub>Dbn</sub>は、従来のソース・ドレイン領域S<sub>Db</sub>よりもチャネル領域側にせり出している。これは、高濃度領域を表面付近の狭い領域に制限できることによって、ソース・ドレイン形成用不純物のイオン注入時に窒素を導入しないときの条件よりも大きなエネルギーで注入できるからである。そして、チャネル領域よりも深い領域R<sub>pa</sub>では、本実施形態のソース・ドレイン領域における不純物濃度はピークを過ぎた後に急激に低下することから、n型不純物によるキャリア生成を低減する効果を強く受ける。したがって、領域R<sub>pa</sub>では従来のMOSFETのソース・ドレイン領域S<sub>Dbf</sub>よりもチャネル領域から遠ざかる方向に後退する。さらに、上述のごとくイオン注入エネルギーを大きくすることで、ソース・ドレイン領域の底部の領域R<sub>sb</sub>は窒素を導入しないときのソース・ドレイン領域S<sub>Db</sub>よりも深くなる。つまり、本実施形態のソース・ドレイン領域

36

S<sub>Dbn</sub>の基板奥方における濃度分布は、窒素を導入しないときの濃度分布に比べるとブロードな分布を示しており、ソース・ドレイン領域S<sub>Dbn</sub>が深くなる。

【0177】そして、以上の構造上の特徴によって、本実施形態のMOSFETは、以下のような動作上の利点を有する。まず、基板表面付近の領域R<sub>ch</sub>がチャネル領域側にせり出していることにより、寄生抵抗が小さくなる。そして、その直下の領域R<sub>pa</sub>が後退していることで、パンチスルーに対する耐性が大きくなり、短チャネル効果の抑制機能が大きくなる。さらに、領域R<sub>pa</sub>における傾斜が緩やかになっているので、寄生容量が小さくなる。

【0178】なお、上述の説明では、ポケット領域の存在を無視しているが、ポケット領域が存在することで、図16に示す領域R<sub>pa</sub>の後退が顕著になる。ただし、ポケット領域を設けなくても、基本的に図16に示す不純物濃度プロファイルが得られるので、工程をより簡素化できる利点がある。

【0179】なお、本実施形態では低抵抗化の手段としてTiサリサイドプロセスの場合について説明したが、CoやNi等のその他のサリサイドプロセスや選択タングステン堆積によるタングステン張り付け技術等のその他の技術を適用しても同様の効果が期待できる。

【0180】なお、ここでのボロン及びBF<sub>2</sub>の注入条件としてはあらゆる条件でも同様の効果がある。

【0181】なお、不純物としてはボロンだけでなく、リン、砒素、インジウム、アンチモン等あらゆる不純物を導入した拡散層を形成する場合でも同様である。また、フッ素等の拡散層を形成しない不純物の拡散を抑制する場合でも同様である。

【0182】なお、アンモニア雰囲気中の急速加熱熱処理に関しては、窒素、アルゴン等の雰囲気でも同様の効果が期待できる。ただし、窒素をボロンとは異なる第2の不純物として導入することが望ましいと考えられる。

【0183】さらに、シリコン基板だけでなく、ポリシリコン中に対しても同様の効果が期待できる。

【0184】なお、本実施形態では、ソース・ドレイン領域及びソース・ドレイン領域のエクステンション領域に窒素を導入した場合の効果について説明したが、ウェルやチャネル領域に窒素を導入した場合についても、本実施形態と同様に、キャリア生成用不純物の拡散を抑制する効果がある。

【0185】（第9の実施形態）図18（a）～（d）は、本実施形態に係るMOSFETの製造工程を示す断面図である。

【0186】まず、図18（a）に示す工程では、シリコン基板51の一部に素子分離52を形成し、素子分離52で囲まれる活性領域の上にゲート酸化膜53及びゲート電極54を形成する。このときの条件は、上記各実施形態におけるゲート酸化膜及びゲート電極形成時の条

(20)

37

件と同じでよい。

【0187】次に、図18(b)に示す工程では、ボロニオン(B<sup>+</sup>)を注入し、ソース・ドレインのエクステンション領域55を形成する。このときの条件は、上記第8の実施形態におけるエクステンション形成時の条件と条件と同じでよい。

【0188】次に、図18(c)に示す工程では、アンモニアガス雰囲気中での加熱処理によって、シリコン基板内に窒素を導入する。このとき、上記第8の実施形態における窒素の導入領域よりも浅い領域に高濃度の窒素が導入されるように、処理時間を第8の実施形態における処理時間よりも短くするか、処理温度を低くする。この処理によって、エクステンション領域55の表面付近の領域に窒素拡散層55が形成される。同時に、ゲート酸化膜53の両端部に酸化窒化層57が形成される。

【0189】次に、図18(d)に示す工程では、ゲート電極54の両側面上にサイドウォール58を形成し、その後、シリコン基板内にボロニオンを注入して、ソース・ドレイン領域59を形成する。このときの条件は、上記第8の実施形態におけるソース・ドレイン形成時と同じでよい。

【0190】その後、不純物の活性化のための熱処理を行うことで、エクステンション領域56、ソース・ドレイン領域59の範囲が定まる。

【0191】なお、その後、ソース・ドレイン領域及びゲート電極の上にシリサイド膜を形成する工程を行うことが好ましい。ただし、必ずしもシリサイド膜を形成する必要はない。

【0192】本実施形態においては、エクステンション領域55内の比較的高濃度の領域が表面付近に限られるので、チャネル領域におけるpn接合部を浅くでき、チャネル抵抗を低減できる。しかも、ゲート酸化膜の両端に酸化窒化層57が形成されているので、上記第1の実施形態と同じ効果つまり信頼性の向上を図ることができるという利点をも有する。また、ソース・ドレイン領域上にシリサイド膜を形成した場合には、上記第8の実施形態と同様に、コンタクト抵抗を極めて小さくできることはいうまでもない。

【0193】なお、本実施形態では、p型MOSFETを形成する場合について説明したが、シリコン基板をp型基板とし、ソース・ドレイン領域及びエクステンション領域を形成する際に砒素イオンを注入することによって、n型MOSFETにも上記実施形態の製造工程を適用できる。その場合にも、チャネル領域におけるpn接合部を浅くすることができるので、チャネル抵抗を低減でき、かつ信頼性を向上することができる利点がある。

【0194】また、アンモニアガス雰囲気中での加熱処理を行う代わりに、窒素プラズマ処理によって不純物を基板内に導入してもよい。

【0195】(第10の実施形態)図19(a)～

38

(d)は、第10の実施形態に係るMOSFETの製造工程を示す断面図である。

【0196】本実施形態では、上記第9の実施形態と基本的には同じであるが、エクステンション領域55を形成する前に窒素拡散層56を形成する点のみが上記第9の実施形態と異なる。本実施形態においても、上記第9の実施形態と全く同様の効果を得ることができ、かつ同じ変形形態を採ることができる。

【0197】(第11の実施形態)図20(a)～

(d)は、第11の実施形態に係るMOSFETの製造工程を示す断面図である。

【0198】まず、図20(a)に示す工程で、シリコン基板51の一部に素子分離52を形成し、この状態でアンモニアガス雰囲気中での熱処理を行って、素子分離52で囲まれる活性領域の表面付近の領域に窒素を導入する。このとき、上記第8の実施形態における窒素の導入領域よりも浅い領域に高濃度の窒素が導入されるように、処理時間を第8の実施形態における処理時間よりも短くするか、処理温度を低くする。この処理によって、活性領域の表面付近の領域に窒素拡散層55が形成される。ただし、本実施形態では、この工程ではまだゲート酸化膜が形成されていないので、上記第9、第10の実施形態におけるようなゲート酸化膜53の両端部の酸化窒化層57は形成されない。

【0199】次に、図20(b)に示す工程で、活性領域の上にゲート酸化膜53及びゲート電極54を形成する。このときの条件は、上記各実施形態におけるゲート酸化膜及びゲート電極形成時の条件と同じでよい。

【0200】次に、図20(b)に示す工程では、ボロニオン(B<sup>+</sup>)を注入し、ソース・ドレインのエクステンション領域55を形成する。このときの条件は、上記第8の実施形態におけるエクステンション形成時の条件と条件と同じでよい。

【0201】次に、図20(d)に示す工程では、ゲート電極54の両側面上にサイドウォール58を形成し、その後、シリコン基板内にボロニオンを注入して、ソース・ドレイン領域59を形成する。このときの条件は、上記第8の実施形態におけるソース・ドレイン形成時と同じでよい。

【0202】その後、不純物の活性化のための熱処理を行うことで、エクステンション領域56、ソース・ドレイン領域59の範囲が定まる。

【0203】本実施形態においては、チャネル領域及びエクステンション領域55内の比較的高濃度の領域が表面付近に限られるので、チャネル領域におけるpn接合部を浅くでき、チャネル抵抗を低減できる。また、ソース・ドレイン領域上にシリサイド膜を形成した場合には、上記第8の実施形態と同様に、コンタクト抵抗を極めて小さくできることはいうまでもない。

【0204】なお、本実施形態では、p型MOSFET

(21)

39

を形成する場合について説明したが、シリコン基板を p 型基板とし、ソース・ドレイン領域及びエクステンション領域を形成する際に砒素イオンを注入することによって、n 型 MOSFET にも上記実施形態の製造工程を適用できる。その場合にも、チャネル領域及びエクステンション領域における p n 接合部を浅くすることができるので、チャネル抵抗を低減でき、かつ信頼性を向上することができる利点がある。

【0205】また、アンモニアガス雰囲気中での加熱熱処理を行う代わりに、窒素プラズマ処理によって不純物を基板内に導入してもよい。

【0206】(第 12 の実施形態) 図 21 (a) ~

(d) は、本実施形態に係る縦型 n p n バイポーラトランジスタの製造工程を示す断面図である。

【0207】図 21 (a) に示す工程では、シリコン基板 71 の表面付近の領域に n 型不純物を導入して n 型の埋め込みコレクタ層 72 を形成した後、基板の全面上に n 型エピタキシャル層 73 を形成する。さらに、n 型エピタキシャル層 73 内に p 型分離層 74 を形成した後、

フォトレジスト膜 81a をマスクとして p 型分離層 74 で囲まれる領域つまりコレクタ層 75 内の一部に濃い n 型不純物を注入して、n 型のコレクタウオール層 76 を形成する。

【0208】次に、図 21 (b) に示す工程で、上記フォトレジスト膜 81a を除去した後、アンモニアガス雰囲気中で熱処理を行って、第 8 の実施形態よりも深い領域まで、具体的には後に形成されるベース層を含む領域に窒素拡散層 77 を形成する。このときの熱処理条件は、アンモニアガスの流量が約 5 s l m、温度が約 950°、時間が約 30 s e c 程度である。次に、フォトレジスト膜 81b をマスクとしてコレクタ層 75 内の一部に低濃度のボロンイオンを注入し、p 型のベース層 78 を形成する。このときのイオン注入の条件は、注入エネルギーが約 30 k e V で、ドーズ量が約  $2 \times 10^{13} \text{ cm}^{-2}$  である。

【0209】さらに、図 21 (c) に示す工程で、フォトレジスト膜 81c をマスクとしてベース層 77 内及びコレクタウオール層 76 内に高濃度の砒素イオンを注入し、n 型のエミッタ層 79 及びコレクタコンタクト層 80 を形成する。

【0210】その後、活性化のための熱処理を行って、各層に導入された不純物を活性化する。

【0211】本実施形態では、ベース層 78 に窒素拡散層 77 が形成されているので、活性化のための熱処理の際に、ベース層 78 内のボロンの拡散が抑制され、ベース層 78 は比較的高濃度で厚みが薄く形成されるので、ベース抵抗は小さくなる。エミッタ接地回路の高周波限界を与える  $f_T$  はベース領域の幅 (本実施形態では厚さ) を W とし、拡散定数を D とすると、 $D/W^2$  に比例することが知られているので、本実施形態の構造によりバイ

40

ポーラトランジスタの遮断周波数  $f_T$  を高くすることができるという効果を発揮することができる。また、本実施形態の方法では、エミッタ層にも窒素拡散層が形成されるので、エミッタ層の表面付近の濃度を高めることができ、エミッタ抵抗の低減によって電流増幅率の向上を図ることができるという利点がある。

【0212】なお、本実施形態では、ベース層及びエミッタ層に窒素拡散層を形成した例について説明したが、バイポーラトランジスタのエミッタ層或いはベース層のみに窒素拡散層を形成してもよいことはいままでのない。

【0213】(各実施形態に関する変形形態) 上記各実施形態における図 3 (a)、図 4 (a)、図 5 (a) 及び図 6 (a) に示す工程又はそれらの工程の前に、窒素ガス、アンモニアガス等の窒素を含むガス中で加熱するか、プラズマ窒化処理を行って、シリコン基板内に窒素を導入することができる。これによっても、上記第 9、10 又は 11 の実施形態と同様の効果を得ることができる。NH<sub>3</sub> ガス雰囲気中、800℃で 15 秒間の熱処理を行なう。その後は各実施形態における工程と同じ工程を行なうことで、各実施形態と同様の構成、機能を有するデバイスを作成することができる。他の実施形態においても、窒素イオンの注入に代えて、この処理を行なうことで、上記各実施形態と同様の効果を発揮することができる。

【0214】なお、熱窒化の条件は、N<sub>2</sub> ガス雰囲気中、1000~1200℃で 30 分間、あるいは NH<sub>3</sub> ガス雰囲気中、600~800℃で 10~30 秒間の熱処理を行えば、第 1 の実施形態等と同様の機能を有する酸化窒化層をゲート酸化膜中に形成しうる。

【0215】プラズマ窒化の条件は、N<sub>2</sub> ガスの流量が 10~100 c c m、ガス圧力が 10~300 m Torr、高周波電力が 50~300 W 程度である。その後、各実施形態における工程と同じ工程を行なうことで、各実施形態と同様の構成、機能を有する半導体装置を形成することができる。

【0216】

【発明の効果】請求項 1~8 によれば、MIS 型電界効果トランジスタを搭載した半導体装置又はその製造方法として、ゲート酸化膜の少なくともドレイン側の端部に酸化窒化層を設けたので、ホットキャリア劣化がほとんどない信頼性の高い、かつゲートの空乏化等のない性能の高い半導体装置の提供を図ることができる。

【0217】請求項 9~18 によれば、半導体基板の不純物拡散層に半導体原子との衝突に起因する欠陥が検知レベル以下の状態で導入された窒素を含む窒素拡散層を設け、この窒素拡散層を有する不純物拡散層を MIS 型電界効果トランジスタのソース・ドレイン領域、エクステンション領域、チャネル領域など、或いはバイポーラトランジスタのベース領域又はエミッタ領域などに適用

(22)

41

したので、高濃度の領域が集中した不純物拡散層を有し特性のよい半導体装置の提供を図ることができる。

【0218】請求項19～33によれば、MIS型電界効果トランジスタを搭載した半導体装置の製造方法として、ゲート酸化膜の少なくともドレイン側の端部に酸窒化層を形成する葉にしたので、ホットキャリア劣化がほとんどない信頼性の高い、かつゲートの空乏化等のない性能の高い半導体装置の製造を図ることができる。

【0219】請求項34～47によれば、半導体装置の製造方法として、半導体基板の不純物拡散層に半導体原子との衝突に起因する検知レベル以上の欠陥を生ぜしめないように窒素を導入して、高濃度領域が集中している不純物拡散層を形成するようにしたので、特性のよい半導体装置の製造を図ることができる。

#### 【図面の簡単な説明】

【図1】第1の実施形態に係るnMOS型電界効果トランジスタの製造工程を示す断面図である。

【図2】第2の実施形態に係るnMOS型電界効果トランジスタの製造工程を示す断面図である。

【図3】第3の実施形態に係るCMOSデバイスの製造工程を示す断面図である。

【図4】第4の実施形態に係るCMOSデバイスの製造工程を示す断面図である。

【図5】第5の実施形態に係るCMOSデバイスの製造工程を示す断面図である。

【図6】第6の実施形態に係るCMOSデバイスの製造工程を示す断面図である。

【図7】第7の実施形態に係る不純物拡散層の製造工程を示す断面図である。

【図8】窒素を導入したボロン、BF<sub>2</sub> 拡散層及び窒素を導入していないボロン、BF<sub>2</sub> 拡散層の濃度プロファイルを示す図である。

【図9】第8の実施形態に係るpMOS型電界効果トランジスタの製造工程を示すフロー図である。

【図10】第8の実施形態に係るpMOS型電界効果トランジスタの製造工程を示す断面図である。

【図11】第8の実施形態に関する効果を説明するためのしきい値のゲート長依存特性に関するデータを示す図である。

【図12】第8の実施形態に関する効果を説明するための飽和電流特性に関するデータを示す図である。

【図13】第8の実施形態に関する効果を説明するためのシリサイド化領域界面の面積に対するコンタクト抵抗の依存特性に関するデータを示す図である。

【図14】第8の実施形態に関する効果を説明するためのnチャネル側トランジスタのゲート抵抗のゲート幅依存特性に関するデータを示す図である。

【図15】第8の実施形態に関する効果を説明するためのシート抵抗のシリサイド幅依存特性に関するデータを示す図である。

42

【図16】第8の実施形態に係るpMOS型電界効果トランジスタのソース・ドレイン領域と、ボロンのみを注入して得られる従来のpMOS型電界効果トランジスタのソース・ドレイン領域との相違を説明するための断面図である。

【図17】第8の実施形態に係るpMOS型電界効果トランジスタのソース・ドレイン領域と、ボロンのみを注入して得られる従来のpMOS型電界効果トランジスタのソース・ドレイン領域との相違が生じる理由を説明するための図である。

【図18】第9の実施形態に係るpMOS型電界効果トランジスタの製造工程を示す断面図である。

【図19】第10の実施形態に係るpMOS型電界効果トランジスタの製造工程を示す断面図である。

【図20】第11の実施形態に係るpMOS型電界効果トランジスタの製造工程を示す断面図である。

【図21】第12の実施形態に係るnpnバイポーラトランジスタの製造工程を示す断面図である。

【図22】従来のnMOS型電界効果トランジスタの製造工程を示す断面図である。

【図23】従来のpMOS型電界効果トランジスタのソース・ドレイン領域におけるボロン、BF<sub>2</sub> の濃度プロファイルを示す図である。

【図24】従来のボロン、BF<sub>2</sub> を注入して形成されるソース・ドレイン領域を有するpMOS型電界効果トランジスタのQuasi-static C-V特性を示す図である。

【図25】従来のpMOS型電界効果トランジスタのフラットバンド電圧のボロン及びBF<sub>2</sub> の注入ドーズ量依存性を示す図である。

#### 【符号の説明】

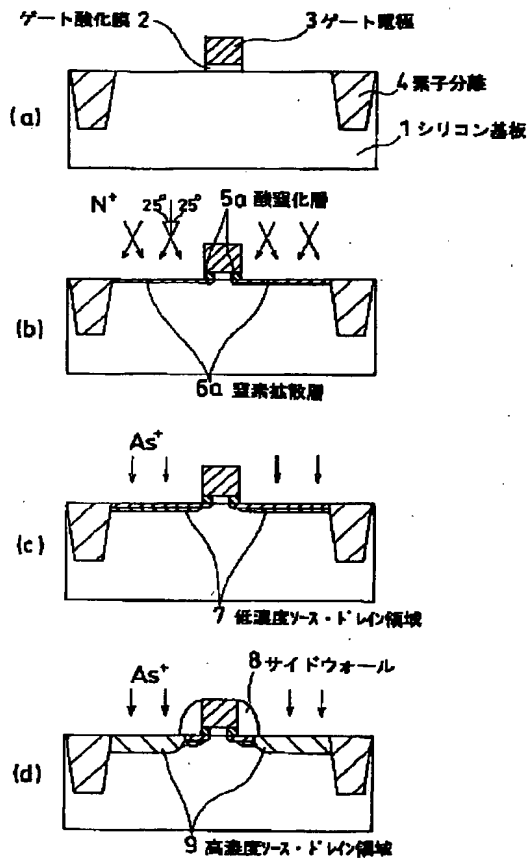
- 1 シリコン基板
- 2 ゲート酸化膜
- 3 ゲート電極
- 4 素子分離
- 5, 5a 酸窒化層
- 6, 6a 窒素拡散層
- 7 n型低濃度ソース・ドレイン領域
- 8 サイドウォール
- 9 n型高濃度ソース・ドレイン領域
- 10 ゲート上酸化膜
- 12 p型低濃度ソース・ドレイン領域
- 13 p型高濃度ソース・ドレイン領域
- 21 n型シリコン基板
- 22 p型拡散層
- 23 ボロン・窒素混在層（窒素拡散層）
- 31 nウエル
- 32 ゲート酸化膜
- 33 ゲート電極
- 34 エクステンション領域

(23)

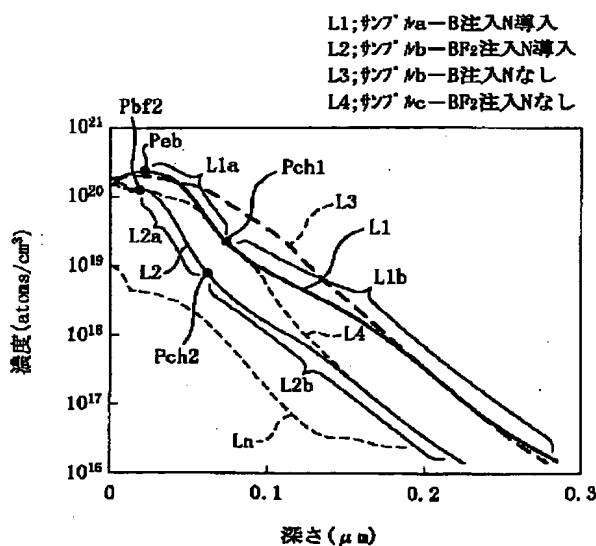
- 35 ポケット領域  
36 絶縁体サイドウォール  
37 ソース・ドレイン領域  
38 ボロン・窒素混在層 (窒素拡散層)

43

【図1】



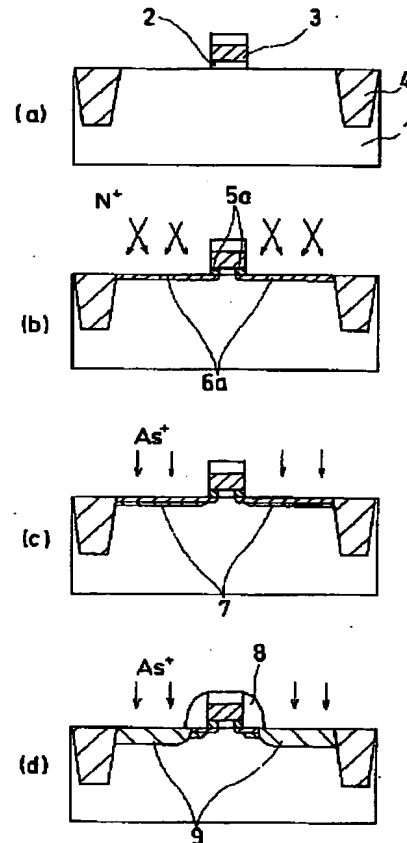
【図8】



44

- 39 シリサイド膜  
40 層間絶縁膜  
41 埋め込みプラグ

【図2】

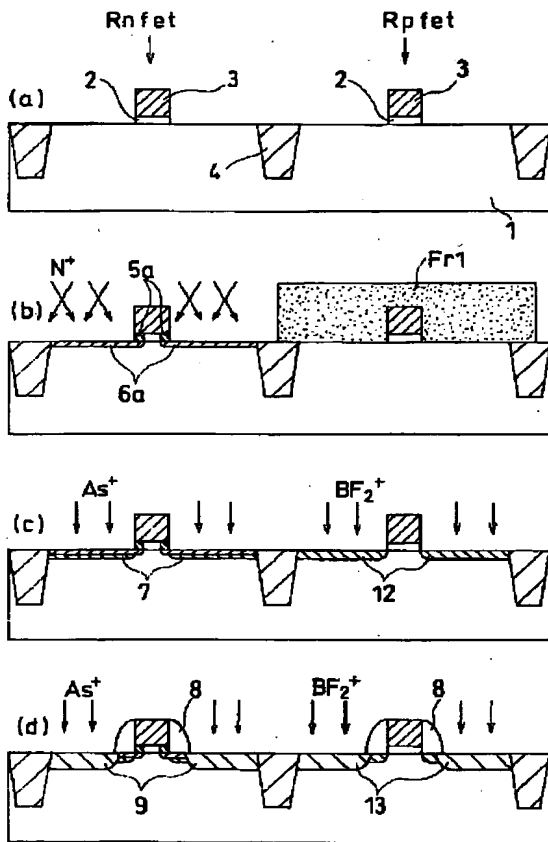


【図9】

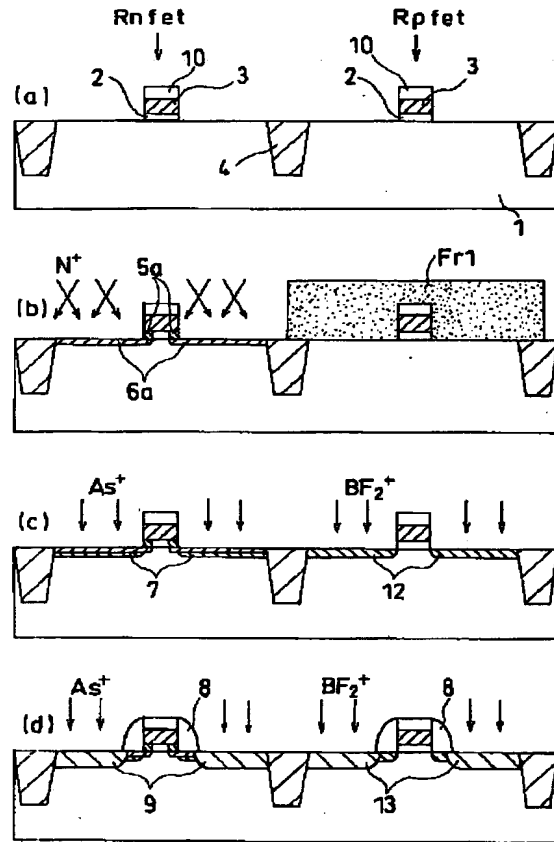
- gate patterning
- S/D extension implant. (BF<sub>2</sub><sup>+</sup>, 10keV,  $1 \times 10^{14}$ cm<sup>-2</sup>)
- n-pocket implant.
- sidewall formation (120nm)
- S/D implant. for pMOSFET
- RTP (900°C, 10sec., in an NH<sub>3</sub> ambient)
- RTA (1000°C, 10sec., in an N ambient)
- Ti deposition
- 1st. step RTA/wet etching/2nd. step RTA
- IMD formation (below 750°C annealing)

(24)

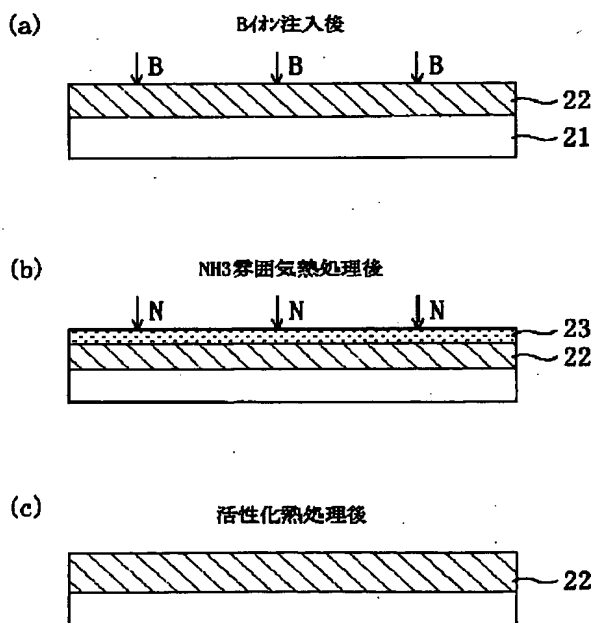
【図3】



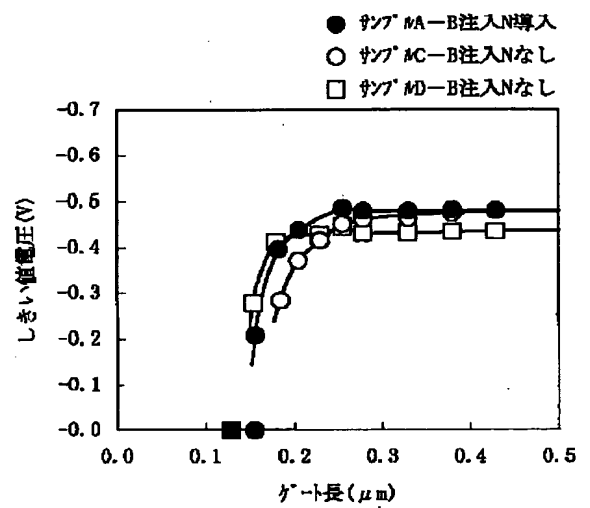
【図4】



【図7】



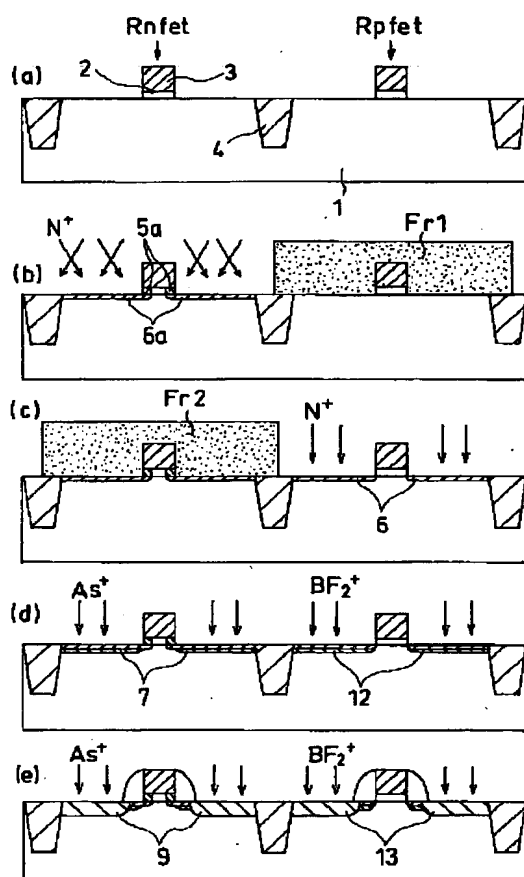
【図11】



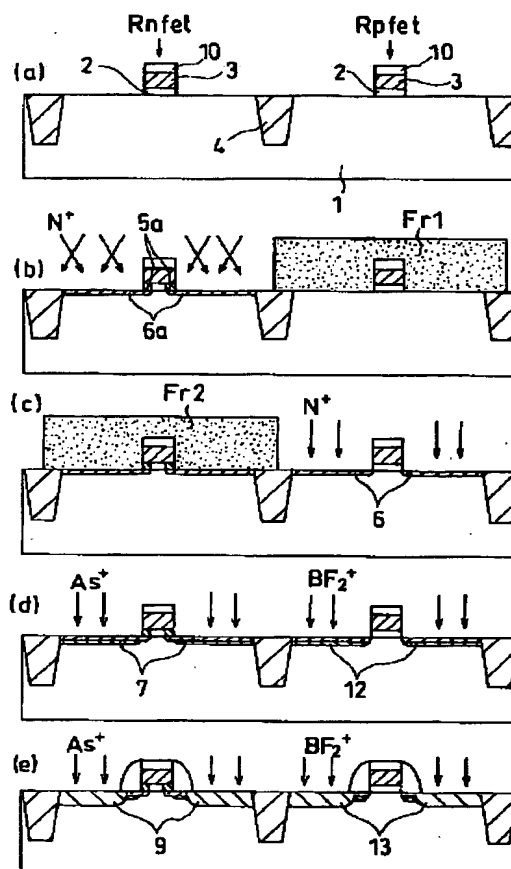


(25)

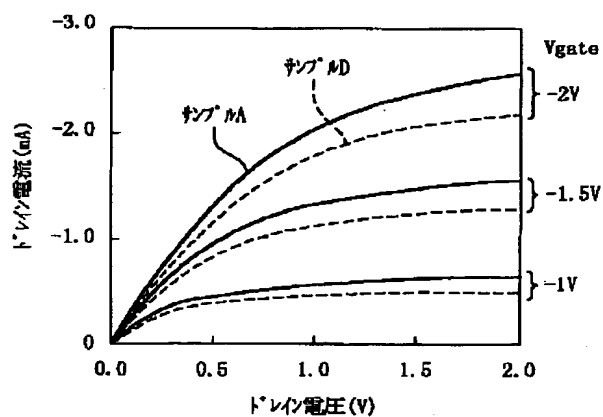
【図5】



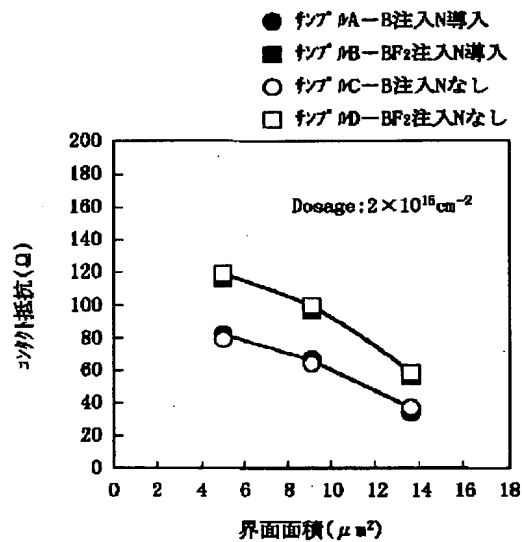
【図6】



【図12】

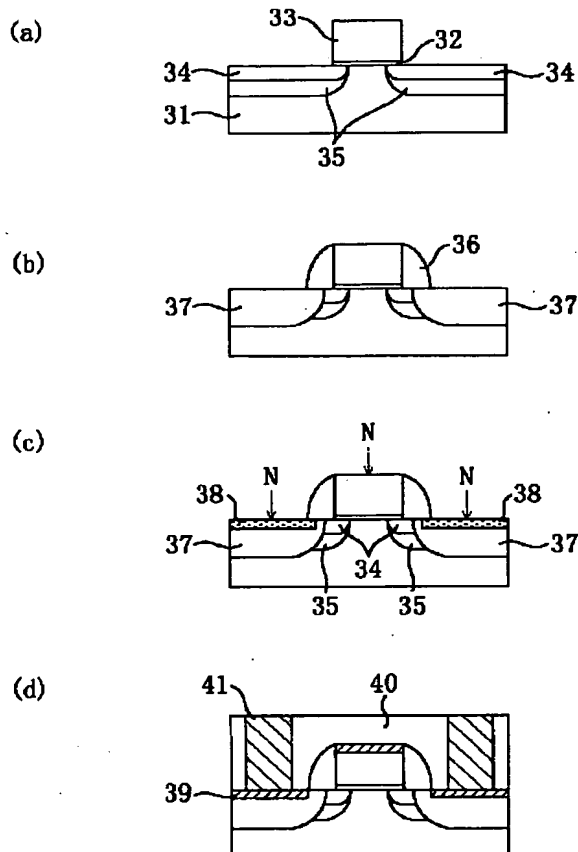


【図13】

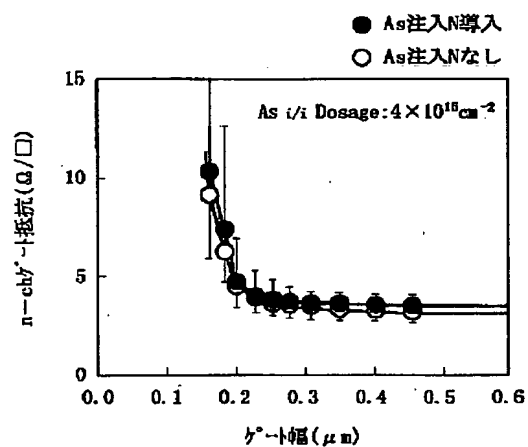


(26)

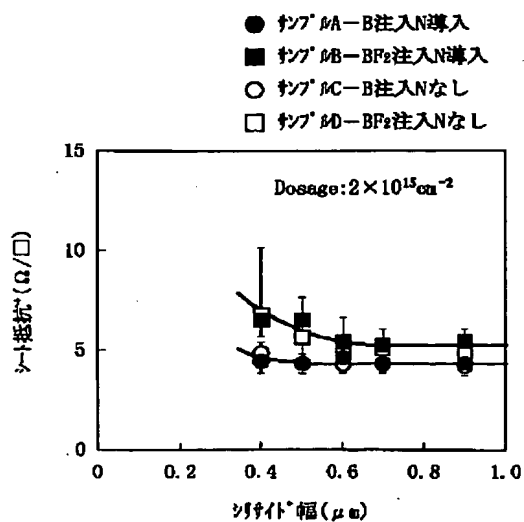
【図10】



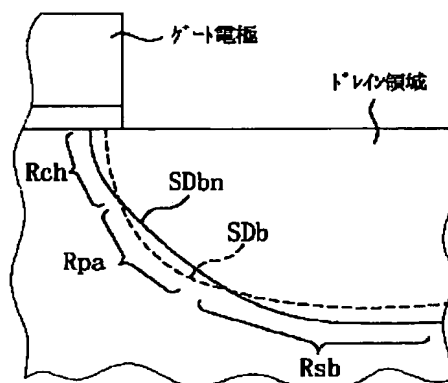
【図14】



【図15】

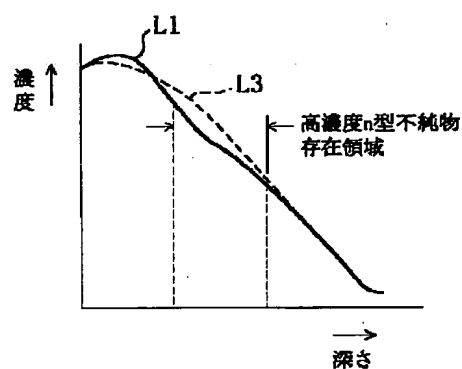


【図16】

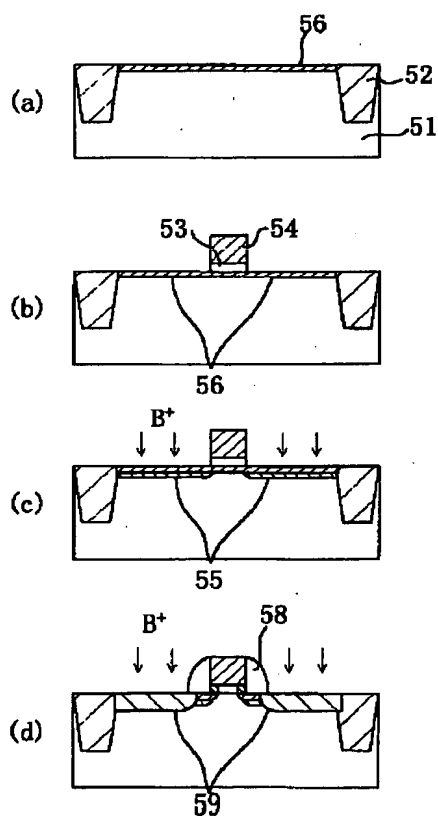


(27)

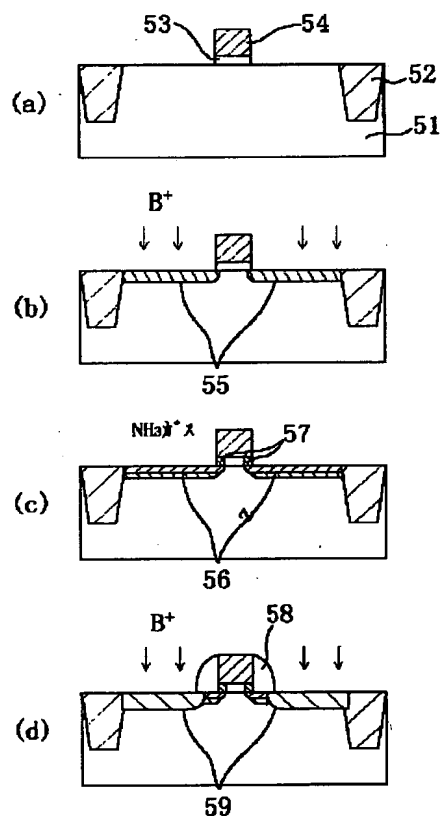
【図17】



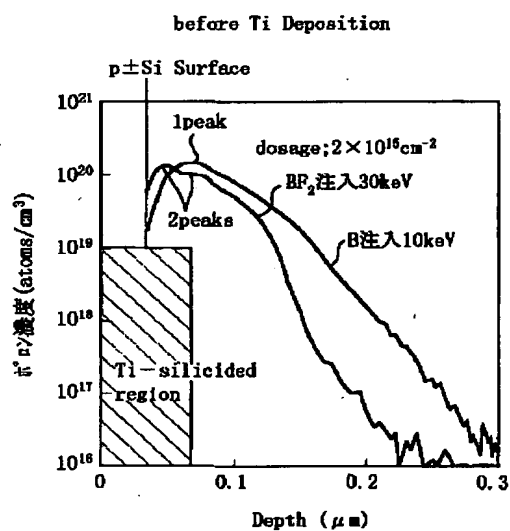
【図20】



【図18】

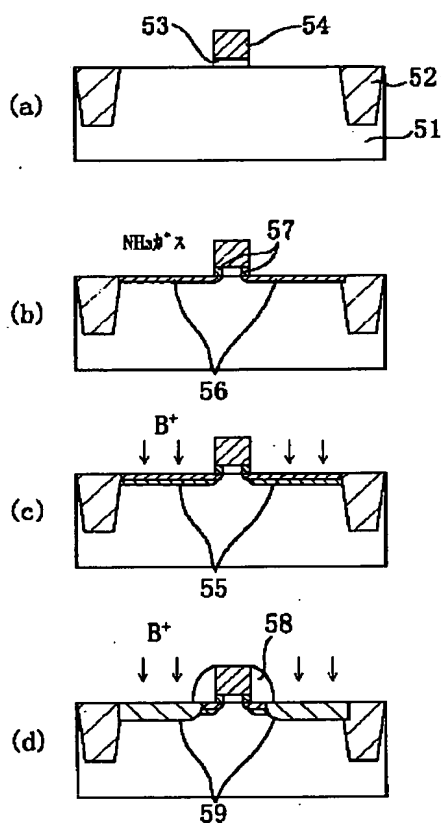


【図23】

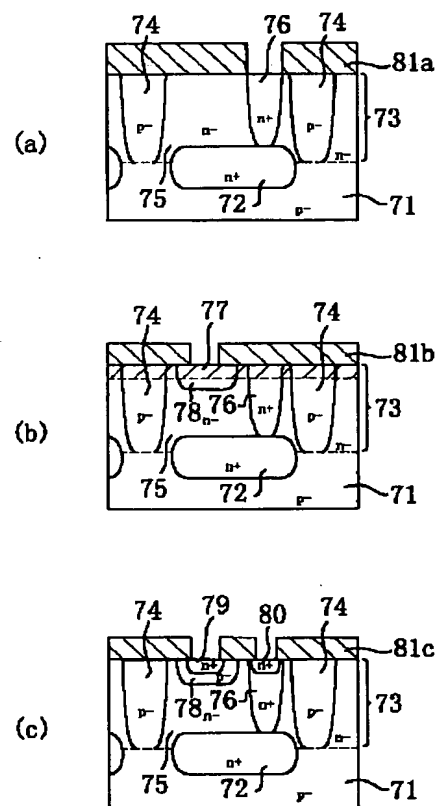


(28)

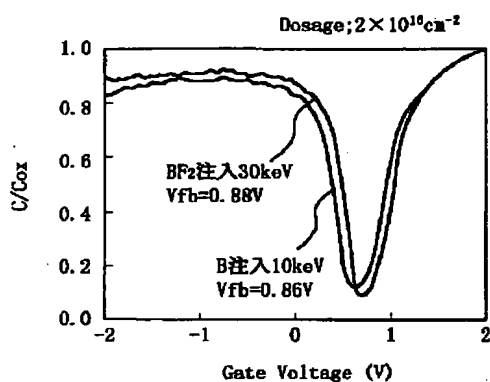
【図19】



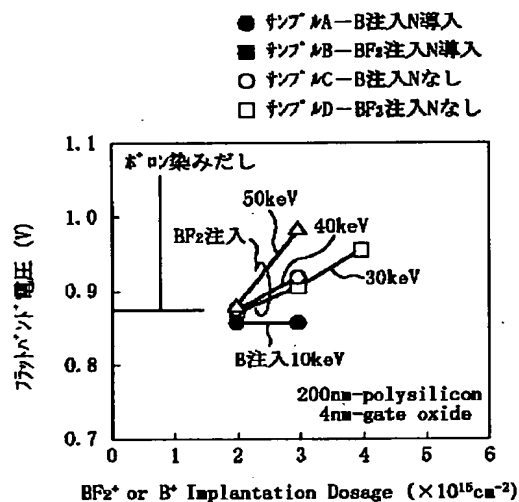
【図21】



【図24】

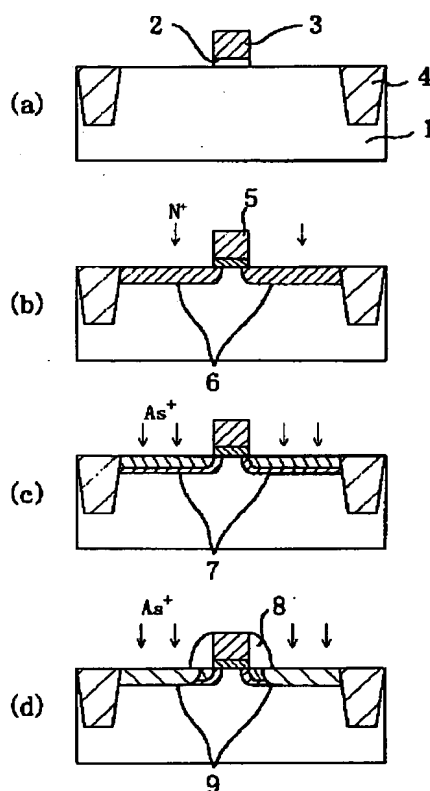


【図25】



(29)

【図22】



## 【手続補正書】

【提出日】平成9年1月24日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0097

【補正方法】変更

## 【補正内容】

【0097】この方法により、シート抵抗の小さいソース・ドレイン領域を有するMIS型電界効果トランジスタを形成することができる。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0107

【補正方法】変更

## 【補正内容】

【0107】この方法により、ボロン等の不純物の染みだしの少ない、かつシート抵抗の小さいソース・ドレイン領域を有するMIS型電界効果トランジスタを形成することができる。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0123

【補正方法】変更

## 【補正内容】

【0123】次に、図2(b)に示す工程では、4ステップイオン注入法により、シリコン基板1の表面に垂直な方向に対して $25^\circ$ 傾いた方向から窒素イオン( $N^+$ )をエネルギー $10\text{ keV}$ 、ドーズ量 $1 \times 10^{15}\text{ cm}^{-2}$ で注入する。その際、4ステップイオン注入法では、不純物イオンの注入方向は固定しておき、シリコン基板1を水平面内で $90^\circ$ ずつ順次回転させた4つの位置で不純物イオンの注入を行なう。その後、熱処理により窒素イオンを拡散させて、ゲート酸化膜2の両端部に酸窒素化層5aを、シリコン基板1内に窒素拡散層6aをそれぞれ形成する。この工程では、窒素イオンの注入エネルギーは $5 \sim 30\text{ keV}$ 、ドーズ量は $1 \times 10^{13} \sim 5 \times 10^{16}\text{ cm}^{-2}$ 、注入方向の傾き角度は $7^\circ \sim 45^\circ$ が好ましい。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0137

【補正方法】変更

## 【補正内容】

【0137】まず、図5(a)に示す工程では、シリコン基板1の一部に素子分離4を形成し、素子分離4で囲

(30)

まれる活性領域内のシリコン基板1上に熱酸化等により厚みが7nmの酸化膜を形成し、さらにその上に厚みが150nmのポリシリコン膜を堆積した後、フォトリソグラフィ及びドライエッチング工程により酸化膜及びポリシリコン膜をパターニングして、nMOSFET形成領域R<sub>nfet</sub>及びpMOSFET形成領域R<sub>pfet</sub>に、それぞれゲート酸化膜2及びゲート電極3を形成する。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0175

【補正方法】変更

【補正内容】

【0175】図16は、MOSFETの一般的なソース・ドレイン領域とチャネル領域付近の構造を示す断面図である。ただし、同図においてはドレイン領域のみが示されており、ソース領域は一般的にはドレイン領域と対称構造を有しているので図示が省略されている。また、図17は、上述の図8中のデータから本実施形態のボロンと窒素とを導入したソース・ドレイン領域と従来のボロン注入のみによるソース・ドレイン領域とについて、基板の深さ方向に対する不純物濃度分布曲線L1、L3を取り出した図である。図16に示すように、ボロンイ

オンのみの導入によって形成される従来のソース・ドレイン領域S<sub>Db</sub>は、一般的に破線で示されるような形状を有する。一般に、不純物の拡散（イオン注入による拡散と加熱による拡散との双方を含む）は拡散源から一定の速度で各方向に均一に進む。そして、この場合にはソース・ドレイン領域の表面が拡散源に相当するので、図16に示す断面内では直線状の拡散源から拡散が進行することになるからである。一方、実施形態のソース・ドレイン領域S<sub>Dbn</sub>は、図中の実線で示す形状を示す。このような相違が生じるのは以下の理由によると考えられる。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0200

【補正方法】変更

【補正内容】

【0200】次に、図20(c)に示す工程では、ボロンイオン(B<sup>+</sup>)を注入し、ソース・ドレインのエクステンション領域55を形成する。このときの条件は、上記第8の実施形態におけるエクステンション形成時の条件と条件と同じでよい。

フロントページの続き

(51)Int.Cl. 6

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/78

301G

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第7部門第2区分  
【発行日】平成13年4月13日(2001. 4. 13)

【公開番号】特開平10-79506  
【公開日】平成10年3月24日(1998. 3. 24)  
【年通号数】公開特許公報10-796  
【出願番号】特願平8-326507  
【国際特許分類第7版】

H01L 29/78  
21/336  
21/265  
21/8238  
27/092

【FI】

H01L 29/78 301 L  
21/265 J  
L  
27/08 321 E  
29/78 301 P  
301 G

【手続補正書】  
【提出日】平成11年7月2日(1999. 7. 2)  
【手続補正1】  
【補正対象書類名】明細書  
【補正対象項目名】請求項35  
【補正方法】変更  
【補正内容】  
【請求項35】 請求項34記載の半導体装置の製造方法において、

上記第2の工程は、少なくとも窒素を含むガス雰囲気中で上記半導体基板を加熱処理することにより行われることを特徴とする半導体装置の製造方法。

【手続補正2】 1  
【補正対象書類名】明細書  
【補正対象項目名】請求項36  
【補正方法】変更  
【補正内容】  
【請求項36】 請求項35記載の半導体装置の製造方法において、  
上記第2の工程は、アンモニアガス雰囲気中で行われることを特徴とする半導体装置の製造方法。

【手続補正3】  
【補正対象書類名】明細書  
【補正対象項目名】請求項37  
【補正方法】変更  
【補正内容】  
【請求項37】 請求項36記載の半導体装置の製造方法において、

上記第2の工程は、温度が900°以上、時間が10秒以下の条件下で行われることを特徴とする半導体装置の製造方法。

【手続補正4】  
【補正対象書類名】明細書  
【補正対象項目名】請求項38  
【補正方法】変更  
【補正内容】

【請求項38】 請求項34記載の半導体装置の製造方法において、  
上記第2の工程は、少なくとも窒素を含むガス雰囲気中でプラズマを発生させることにより行われることを特徴とする半導体装置の製造方法。

【手続補正5】  
【補正対象書類名】明細書  
【補正対象項目名】0088  
【補正方法】変更  
【補正内容】

【0088】請求項35に記載されているように、請求項34において、上記第2の工程を、少なくとも窒素を含むガス雰囲気中で上記半導体基板を加熱処理することにより行うことができる。

【手続補正6】  
【補正対象書類名】明細書  
【補正対象項目名】0090  
【補正方法】変更  
【補正内容】

(2)

3

【0090】請求項36に記載されているように、請求項35において、上記第2の工程を、アンモニアガス雰囲気中で行うことができる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0092

【補正方法】変更

【補正内容】

【0092】請求項37に記載されているように、請求項36において、上記第2の工程を、温度が900°以

10

4

上、時間が10秒以下の条件下で行うことが好ましい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正内容】

【0093】請求項38に記載されているように、請求項34において、上記第2の工程を、少なくとも窒素を含むガス雰囲気中でプラズマを発生させることにより行うことができる。